

日 本 国 特 許 庁
JAPAN PATENT OFFICE

03.12.2004

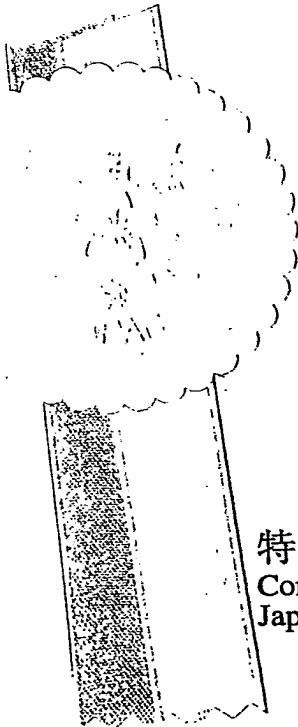
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 4 0 3 5 4 7
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 4 0 3 5 4 7]

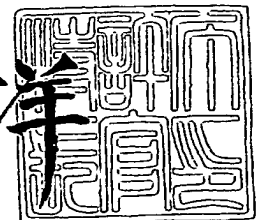
出 願 人 東 芝 松 下 デ ィ ス プ レ イ テ ク ノ ロ ジ ー 株 式 会 社
Applicant(s):



特許庁長官
Commissioner,
Japan Patent Office

2 0 0 5 年 1 月 2 0 日

小 川 洋



【書類名】 特許願
【整理番号】 MRB03Y011
【提出日】 平成15年12月 2日
【あて先】 特許庁長官殿
【国際特許分類】 G09G 3/12
G09G 3/14
H05B 33/00

【発明者】
【住所又は居所】 東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内
【氏名】 柘植 仁志

【特許出願人】
【識別番号】 302020207
【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社

【代理人】
【識別番号】 100092794
【弁理士】
【氏名又は名称】 松田 正道
【電話番号】 06-6397-2840

【手数料の表示】
【予納台帳番号】 009896
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0206870

【書類名】 特許請求の範囲**【請求項 1】**

表示パネルへ所望の階調に対応する電流を出力するための映像信号入力と、
前記映像信号入力に同期して送信されるプリチャージフラグ入力と、
前記映像信号入力に対応して電流を出力する第 1 の電流源群と、
前記第 1 の電流源群とは異なる第 2 の電流源群と、
電圧源とを具備する電流出力型半導体回路であって、
前記プリチャージフラグの値により、前記映像信号に対応した電流を出力する直前に前記映像信号入力とは無関係に電流もしくは電圧を出力ができるように、前記プリチャージフラグの値に応じて、1 水平走査期間内で、前記第 1 の電流源群が出力される前に、前記第 2 の電流源群もしくは前記電圧源群が出力される期間を持たせられるようにした電流出力型駆動用半導体回路。

【書類名】明細書

【発明の名称】電流出力型駆動用半導体回路

【技術分野】

【0001】

本発明は、有機電界発光素子など、電流量により階調表示を行う表示装置に用いる電流出力を行う電流出力型半導体回路に関する。

【背景技術】

【0002】

有機発光素子は、自発光素子であるため、液晶表示装置で必要とされるバックライトが不要であり、視野角が広いなどの利点から、次世代表示装置として期待されている。

【0003】

一般的な有機発光素子の素子構造の断面図を図4に示す。有機層42が陰極41及び陽極43により挟まれた構成となっている。これに直流電源44を接続すると、陽極43から正孔が、陰極41から電子が有機層42に注入される。注入された正孔及び電子は有機層42内を電源44により形成された電界により対極に移動する。移動途中において電子と正孔が有機層42内で再結合し、励起子を生成する。励起子のエネルギーが失活する過程において発光が観測される。発光色は励起子の持つエネルギーにより異なり、およそ有機層42の持つエネルギーバンドギャップの値に対応したエネルギーの波長を持つ光となる。

【0004】

有機層内で発生した光を外部に取り出すため、電極のうち少なくとも一方は可視光領域で透明な材料が用いられる。陰極には、有機層への電子注入を容易にするため仕事関数の低い材料が用いられる。例えば、アルミニウム、マグネシウム、カルシウムなどである。耐久性、さらなる低仕事関数化のためにこれらの合金や、アルミリチウム合金といった材料が用いられることがある。

【0005】

一方陽極は正孔注入の容易性からイオン化ポテンシャルの大きいものを用いる。また陰極が透明性を持たないため、こちらの電極に透明性材料を用いることが多い。そのため一般的には、ITO (Indium Tin Oxide)、金、インジウム亜鉛酸化物 (IZO) などが用いられる。

【0006】

近年では低分子材料を用いた有機発光素子において、発光効率を高めるため、有機層42を複数の層で構成することがある。これにより、各層で、キャリア注入、発光領域へのキャリア移動、所望の波長を持つ光の発光の機能を分担することが可能となり、それぞれに効率のよい材料を用いることで、より効率の高い有機発光素子を作成することが可能となる。

【0007】

このようにして形成された有機発光素子は、図5(a)に示すように輝度は電流に対して比例し、図5(b)に示すように電圧に対しては非線形な関係となる。それゆえ階調制御を行うには、電流値により制御を行う方がよい。

【0008】

アクティブマトリクス型の場合、電圧駆動方式と電流駆動方式の2通りがある。

【0009】

電圧駆動方式は電圧出力型のソースドライバを用い、画素内部において電圧を電流に変換し、変換した電流を有機発光素子に供給する方法である。

【0010】

この方法では画素毎に設けられたトランジスタにより電圧電流変換を行うことから、このトランジスタの特性ばらつきに応じて、出力電流にばらつきが発生し、輝度むらが生じる問題がある。

【0011】

電流駆動方式は電流出力型のソースドライバを用い、画素内部では1水平走査期間出力された電流値を保持する機能のみを持たせ、ソースドライバと同じ電流値を有機発光素子に供給する方法である。

【0012】

電流駆動方式の例を図6に示す。図6の方式は画素回路にカレントコピア方式を用いたものである。

【0013】

図7に図6の画素67の動作時の回路を示す。

【0014】

画素が選択されたときには図7(a)に示すようにその行のゲート信号線61aはスイッチを導通状態とするように、61bは非導通状態となるようにゲートドライバ35から信号が出力される。このときの画素回路の様子を図7(a)に示す。このときソースドライバ36に引き込まれる電流であるソース信号線60に流れる電流は点線71で示した経路を流れる。よってトランジスタ62にはソース信号線60に流れる電流と同一電流が流れる。すると節点72の電位はトランジスタ62の電流電圧特性に応じた電位となる。

【0015】

次に非選択状態となるとゲート信号線61により図7(b)に示すような回路となる。EL電源線64から有機発光素子63に73で示す点線の経路で電流が流れる。この電流は節点72の電位とトランジスタ62の電流電圧特性により決まる。

【0016】

図7(a)と(b)において節点72の電位は変化しない。従って同一トランジスタ62に流れるドレイン電流は図7(a)と(b)において同一となる。これによりソース信号線60に流れる電流値と同じ値の電流が有機発光素子63に流れる。トランジスタ62の電流電圧特性にばらつきがあっても原理上電流71と73の値には影響がなく、トランジスタの特性ばらつきの影響のない均一な表示を実現できる。

【0017】

従って、均一な表示を得るためには電流駆動方式を用いる必要があり、そのためにはソースドライバ36は電流出力型のドライバICでなければならない。

【0018】

階調に応じた電流値を出力する電流ドライバICの出力段の例を図10に示す。表示階調データ54に対し、デジタルアナログ変換部106によりアナログの電流出力を104より行う。アナログデジタル変換部は、複数個(少なくとも階調データ54のビット数)の階調表示用電流源103とスイッチ108及び、1つあたりの階調表示用電流源103が流す電流値を規定する共通ゲート線107から構成される。

【0019】

図10では3ビットの入力105に対しアナログ電流を出力する。ビットの重みに応じた数の電流源103を電流出力104に接続するかをスイッチ108により選択すること、例えばデータ1の場合は、電流源103が1つ分の電流、データ7の場合は7つ分の電流といったように階調に応じた電流が出力できる。この構成をドライバの出力数に応じた数だけ106を並べることで電流出力型ドライバが実現可能である。トランジスタ103の温度特性を補償するため共通ゲート線107の電圧は分配用ミラートランジスタ102により決められる。トランジスタ102と電流源群103はカレントミラー構成となり、基準電流89の値に応じて1階調あたりの電流が決められる。この構成により、階調により出力電流が変化し、かつ1階調あたりの電流は基準電流により決まる。

【0020】

有機発光素子を用いた表示装置の例を図21から図23に示す。図21はテレビ、図22はデジタルカメラもしくはデジタルビデオカメラ、図23は携帯情報端末を示している。有機発光素子は応答速度が速いため動画を表示する機会の多いこれらの表示装置にふさわしい表示パネルである(たとえば、特許文献1参照)。

【特許文献1】特開2001-147659号公報

【発明の開示】**【発明が解決しようとする課題】****【0021】**

近年携帯情報端末においても多色化が進み、6万5千色もしくは22万色表示が主流となってきた。ドライバICの入力信号がRGBデジタルインターフェースの場合16ビットもしくは18ビット必要となる。従って入力信号線数が16から18本データの転送のみで必要となる。他にもシフトレジスタの動作信号や、各種レジスタの設定などのために信号線が必要となる。

【0022】

そのため配線数が多くなり、例えば図3のように、表示パネル33に対し、コントロールIC31からソースドライバIC36間の配線が多くなる。そのため、フレキシブル基板32が大きくなったり、多層基板を用いるなどコストが高くなる問題がある。

【課題を解決するための手段】**【0023】**

本発明は上記の課題に鑑みてなされたものであり、第1の本発明は、表示パネルへ所望の階調に対応する電流を出力するための映像信号入力と、前記映像信号入力に同期して送信されるプリチャージフラグ入力と、前記映像信号入力に対応して電流を出力する第1の電流源群と、前記第1の電流源群とは異なる第2の電流源群と、電圧源とを具備する電流出力型半導体回路であって、前記プリチャージフラグの値により、前記映像信号に対応した電流を出力する直前に前記映像信号入力とは無関係に電流もしくは電圧を出力できるように、前記プリチャージフラグの値に応じて、1水平走査期間内で、前記第1の電流源群が出力される前に、前記第2の電流源群もしくは前記電圧源群が出力される期間を持たせられるようにした電流出力型駆動用半導体回路である。

【0024】

また、1階調あたりの電流値を設定する基準電流生成部と、各階調に対応する電流を供給する階調基準電流生成部と、映像信号を階調に応じた電流量に変換するデジタルーアナログ変換部と、前記デジタルーアナログ変換部を動作させるかどうかを制御するチップイネーブル信号生成部と、各出力に映像信号に対応する電流を分配するためのシフトレジスタと、分配された電流を1水平走査期間の間保持するための電流保持手段とを具備し、前記電流保持手段が、2つのカレントコピア回路からなることを特徴とする電流出力型半導体回路も、本発明に含まれる。

【発明の効果】**【0025】**

以上のような発明を用いることで、低階調部と高階調部で異なるトランジスタのチャネルサイズを用いた電流源で構成されたドライバICにおいて、チャネルサイズ比のずれなどによる階調反転、並びにトランジスタばらつきによる隣接階調間階調反転を、嵩上げ用電流源を用い最上位ビットに対応する電流値を増加させることで階調反転を防止した。また端子毎に嵩上げ用電流源を接続するしないをレーザー加工などにより選択できる構成にしたことで階調反転による不良を低減し、歩留まりをあげる効果が得られた。

【発明を実施するための最良の形態】**【0026】**

以下本発明の実施例について、図面を参照しながら説明を行う。

【0027】

本発明における電流出力型ソースドライバIC36の構成を図2に示す。出力数は単に1出力あたりに必要なシフトレジスタ21及びラッチ部22、電流出力段23、プリチャージ電圧印加判定部56、電流出力／プリチャージ電圧選択部25の数を出力数の増減に

応じて、増減させることで実現可能であるため、任意の出力数に対応可能である（ただし、出力数が増加するとチップサイズが大きくなりすぎることと、汎用性がなくなるため 600 程度くらいが実用上最大である）。

【0028】

本発明のドライバ IC 36 の映像信号は制御 IC 28 から信号線 12 及び 13 により入力される。これを分配部 27 により映像信号及び各種設定信号を振り分け、映像信号のみをシフトレジスタ部 21 に入力する。シフトレジスタ部 21 及び 2 つのラッチ部 22 により各出力端子に分配する。分配された映像信号は電流出力段 23 に入力される。電流出力段 23 では、映像信号と基準電流生成部 26 により生成された基準電流から、階調に応じた電流値を出力する。ラッチ部のうちプリチャージ判定信号データは、プリチャージ電圧印加判定部 56 に入力される。一方プリチャージ電圧印加判定部 56 では、ラッチ部 22 によりラッチされたプリチャージ判定信号と、プリチャージパルス 52 により、プリチャージ電源 24 から供給される電圧を出力 53 に出力するかどうかのスイッチを制御する信号を生成する。これによりプリチャージ電圧印加判定部 56 の出力信号に応じてドライバ IC 36 の外部に階調に応じた電流を出すか、プリチャージ電源 24 から供給される電圧を供給するか選択する電流出力／プリチャージ電圧選択部 25 を介してドライバ IC 36 外部に電流もしくは電圧が出力される。

【0029】

プリチャージ電源 24 から出力される電圧は、表示パネルに黒を表示するために必要な電圧値となる。このプリチャージ電圧を印加する方法はアクティブマトリクス型表示装置に電流出力に応じて階調表示を行うためのドライバ IC 36 特有の構成である。

【0030】

例えば図 6 に示す画素構成のアクティブマトリクス型表示装置において、ソース信号線からある画素に所定電流値を書き込む場合について考える。プリチャージを行わない場合、つまりプリチャージ回路がない場合、ソースドライバ IC 36 の出力段から画素までの電流経路に関係する回路を抜き出した回路は図 12 (a) のようになる。

【0031】

階調に応じた電流 I がドライバ IC 36 内から、電流源 122 という形で引き込み電流として流れる。この電流はソース信号線 60 を通じて、画素 67 内部に取り込まれる。取り込まれた電流は駆動トランジスタ 62 を流れる。つまり、選択された画素 67 において EL 電源線 64 から駆動トランジスタ 62、ソース信号線 60 を介して、ソースドライバ IC 36 に電流 I が流れる。

【0032】

映像信号が変化して電流源 122 の電流値が変化すると、駆動トランジスタ 62 及びソース信号線 60 に流れる電流も変化する。そのときソース信号線の電圧は駆動トランジスタ 62 の電流－電圧特性に応じて変化する。駆動トランジスタ 62 の電流電圧特性が図 12 (b) である場合、例えば電流源 122 が流す電流値が I_2 から I_1 に変化したとすると、ソース信号線の電圧は V_2 から V_1 に変化するようになる。この電圧の変化は電流源 122 の電流によっておこる。

【0033】

ソース信号線 60 には浮遊容量 121 が存在する。 V_2 から V_1 までソース信号線電圧を変化させるにはこの浮遊容量の電荷を引き抜く必要がある。この引き抜きにかかる時間 ΔT は、 ΔQ (浮遊容量の電荷) = I (ソース信号線に流れる電流) $\times \Delta T = C$ (浮遊容量) $\times \Delta V$ となる。ここで ΔV (白表示時から黒表示時間の信号線振幅) は 5 [V]、 $C = 10 \text{ pF}$ 、 $I = 10 \text{ nA}$ とすると、 $\Delta T = 50 \text{ ミリ秒}$ 必要となる。これは QCIF+ (画素数 176×220) を 60 Hz のフレーム周波数で駆動させるときの、1 水平走査期間 (75 $\mu\text{秒}$) よりもながくなるため、仮に、白表示画素の下画素に黒表示を行おうとすると、ソース信号線電流が変化途中に画素に電流を書き込むためのスイッチトランジスタ 66a、66b が閉じてしまうため、中間調が画素にメモリーされることにより白と黒の中間の輝度で画素が光ってしまうことを意味する。

【0034】

階調が低くなるほどIの値が小さくなるため、浮遊容量121の電荷を引き抜きにくくなるため、所定輝度に変化する前の信号が画素内部に書き込まれてしまうという問題は、低階調表示ほど顕著に現れる。極端にいうと黒表示時は電流源122の電流は0であり、電流を流さずに浮遊容量121の電荷を引き抜くことは不可能である。

【0035】

そこで、電流源122にくらべてインピーダンスの低い電圧源を用意し、必要に応じてソース信号線60に印加する構成をとることにした。この電圧源が図2のプリチャージ電源24に相当し、印加できるための機構が25である。

【0036】

1つのソース信号線60に対する概略回路を図13に示す。電圧発生部24から供給される電圧をソース信号線60に印加することで、浮遊容量121の電荷を充放電できるようにした。電圧発生部24から供給される電圧は、図12(b)の特性に応じて各階調電流に対応した電圧を供給できるようにしてもよいが、電圧発生回路にもデータ54に応じたデジタルアナログ変換部が必要となるため回路規模が大きくなること、画素ごとに駆動トランジスタ62は特性ばらつきをもっているため同一階調電流に対し、対応する電圧が異なる。そのためデジタルアナログ変換部を設けて階調に応じた電圧を出しても、所定電流がかきこまれる訳でなく、そのあと所定電流まで電流源106により補正する必要がある。このようなことから、実用上は電圧発生部24で発生する電圧は最も電流値の書き込みが難しい黒階調に対応した電圧のみ発生することが費用(チップ面積)対効果の面で十分であるといえる。

【0037】

従って、電圧発生部24から発生する電圧は1つでよく、データによって、電圧を出力するかどうかの判定を行い、スイッチ131の制御さえすればよい。つまり、ある映像信号に対応する電流出力を行う前に、電圧源24を印加するかどうかを判別する1ビットの信号線(プリチャージ判定信号)を用意する。

【0038】

スイッチ251及び252の1水平走査期間内での動作タイミングを図15に示す。水平走査期間のはじめに、浮遊容量121の電荷をリセットするため電圧発生部24からのプリチャージ電圧を印加する。(期間151)電圧により電荷をリセットすることからこの期間は短くても目的を達するため最大2 μ 秒程度あればよい。次に期間152では、スイッチ132のみを導通状態とし、階調に応じた電流を画素67に供給する。なお期間152により所定の電流値を書き込む動作は遅いのでなるべく期間152を長く取る必要がある。期間151は最大1水平走査期間の10%程度にしておく必要がある。

【0039】

このように電圧発生部24の出力期間を制御する必要があることから、プリチャージ印加期間151を示すプリチャージパルス52を入力し、プリチャージ判定信号と併せて、スイッチ131を制御する。このため、印加判定部56が設けられている。

【0040】

電圧発生部24から出力される電圧値が、黒階調時の電流に対応した電圧(以降黒電圧という)のみとしたことから、例えば、階調データ54が連続した複数の水平走査期間にわたって白の階調を表示するとした場合、ソース信号線は黒、白、黒、白状態を繰り返すことになる。もし、プリチャージを行わない場合、白状態が連続して発生することになる。つまりプリチャージを行うことによりかえって、信号線の変化を激しくすることになる上、白表示時の電流によっては、白になりきらず書き込み電流不足を生じるおそれがある。

。

【0041】

そこで、プリチャージ判定信号を用いて、電流が比較的たくさん流れる階調ではプリチャージを行わず、黒階調付近の所定電流に変化しにくい階調のみプリチャージ電源24のアシストを受けるようにすればよい。例えば階調0(黒)の時のみプリチャージ電圧を入

れる期間があり、その他の階調表示時にはプリチャージ電圧を入れないようにすることが最も効果がある。最低階調時の輝度を低くすることでコントラストも上昇し、より美しい絵が表示可能となる。

【0042】

例えば、図17(a)に示すように、階調データ54が0の時にのみプリチャージ判定信号55をたてることで、階調0時のみプリチャージを行うことができる。

【0043】

また、階調データ54が0、1の時にプリチャージ判定信号55をたてれば、階調0、1の時にプリチャージを行うことができる(図17(b))。

【0044】

ところで、全画面が黒表示といったソース信号線の変化がないパターンにおいては、1フレームのはじめのみプリチャージ電圧を印加すれば、あとは黒電流のみでも十分所定の階調が流れる。

【0045】

つまり同じ黒表示時においても、前の水平走査期間でソース信号線に流した電流値によって、電流のみで所定電流値まで変化する時間が異なり、変化量が大きくなるほど、変化に時間がかかる。例えば白表示後の黒表示をするには時間がかかるが、黒表示後に黒表示を行う場合では信号線は駆動トランジスタ62のばらつき分のみの変化となるため変化に要する時間は短い。

【0046】

そこで、階調データ54に同期して、プリチャージ電圧を印加するかどうかを判定する信号(プリチャージ判定信号55)を色ごとに導入することで、任意の階調で、もしくは同一階調でもプリチャージありなしを選択できるような構成を導入することも可能である。

【0047】

階調データ54に対し、プリチャージ判定信号55を付加する。これに伴い、ラッチ部22もプリチャージ判定信号をラッチする必要があるため、映像信号ビット数+1ビットのラッチ部を持つようにする。

【0048】

図17(c)では階調0のときでかつ、前期間での階調が0でないときにプリチャージを入れた場合(階調0の時にプリチャージするが、連続する場合には階調0でもプリチャージを行わない)を示している。

【0049】

この方法では、前の方法と異なり同一階調でも、1水平走査期間前のソース信号線の状態に応じてプリチャージをしたりしなかったりを選択できる利点がある。

【0050】

なお、このプリチャージ判定信号は制御IC28から供給される。制御IC28のコマンド操作により図17(a)から(c)に示したようにプリチャージ判定信号55のパターンを変更させて出力することができる。

【0051】

ソース信号線の容量や、1水平走査期間の長さに応じて、ソースドライバIC36外部から柔軟にプリチャージの設定を変更させることが可能であり、汎用性がまずという利点がある。

【0052】

表示素子として用いる有機発光素子においては、発光色ごとに素子構成が異なり、キャリア注入効率、キャリア移動度、蛍光体の量子効率などが異なってくるため、発光開始電流が、発光色ごとに異なる可能性がある。例を図14の141から143に示す。緑色はI1以上、青色はI2以上、赤色はI3以上の電流を流すと発光する。すると画素67の駆動トランジスタ62のばらつきがないと仮定しても、図12(b)のように黒電圧が表示色ごとにV1からV3と異なってくる。低電流になるほど所定電流に変わるまでの時間

がかかることから、1つの電源でプリチャージ電圧を設定しようとする、V1の電圧をすべての素子に印加することになる。このようにすれば、黒表示時にぼやっと光る黒浮きはなくなるが、次に白を表示しようとしたときに、プリチャージが無いときに比べ、赤表示画素では(V3-V1)の電圧分これまでより余分に変化させる必要がある。そのため次に白表示を行う際に、電圧変化分が大きくなる分白まで変化しにくくなる問題が発生する。

【0053】

そこで、プリチャージ電源24を表示色ごとに別に設けることとした。ブロック図を図16に示す。ここでRは赤色、Gは緑色、Bは青色発光素子への出力として説明を行う(なお、赤緑青の3原色でなくてもシアン、イエロー、マゼンダの3色でも構わない)。

【0054】

電圧発生部24の出力を3つ設け、出力161はRのソース信号線へ出力を行い、162はG、163はBへ出力する。このとき161の出力電圧は画素67の駆動トランジスタ62がI3の電流を流すときのソース信号線60の電圧とほぼ等しい電圧を出力するように設定する。162、163もそれぞれI1、I2の電流が画素トランジスタ62に流れるときのソース信号線60電圧とほぼ等しい値を出力すればよい。これによって、表示色ごとに適正な電圧値を画素に直接印加することができる。

【0055】

従って、電流出力時に変化させるソース信号線電位は少なくすむため、より短い時間で所定の電流値に変化させることが可能であり、書き込み不足がおきにくい構成となる。

【0056】

図8は基準電流発生回路を示した図である。基準電流は図10で示した出力段の構成において、1階調あたりの電流値を規定するものである。

【0057】

図8において基準電流89は節点80の電位と、抵抗素子81の抵抗値により決まる。

【0058】

さらに節点80の電位は電圧調節部85により、制御データ88により変化させることが可能である。

【0059】

電流出力を行うための階調表示用電流源103のトランジスタサイズによっては端子ごとの出力電流ばらつきが発生する。トランジスタサイズ(チャネル面積)と出力電流ばらつきの関係を図11に示す。基準電流のばらつきを考慮に入れ、チップ内、チップ間の隣接端子間のばらつきを1%以内にする必要があることから図11における出力電流のばらつき(出力段での電流ばらつき)は0.5%以下にすることが望ましく、103のトランジスタサイズは30平方ミクロン以上あることがよい。

【0060】

なお、チップ間での、基準電流対ある階調出力電流の比のばらつきをおさえるためには、分配用ミラートランジスタ102と、階調表示用電流源103は同一サイズ、同一レイアウトで設計することが望ましい。トランジスタの数の増減により上記の面積比を実現することがよい。これにより、複数のドライバIC36を並べて使用する表示装置でも、基準電流に対する出力電流の比のチップ間ばらつきが小さくなるためブロックむらのない表示が実現できる。

【0061】

以上の方法においては、基準電流を生成するための基準電流発生部のうち抵抗素子81がドライバIC36外付けの部品で形成されることが多い。これは、抵抗素子81の値がばらつくとも基準電流89がばらつくため、チップごとで異なる1階調あたりの電流を出力することになってしまう。そこで、極力ばらつきをおさえるためにばらつきが小さいチップ抵抗を用いることが多い。

【0062】

しかし、実装部品点数の削減及びアレー上配線引き回しを簡略化するためには、抵抗素

子の内蔵化が必要である。本発明ではこの抵抗素子 81 を内蔵した場合においても、基準電流 89 のばらつきが小さくなる構成を考案した。

【0063】

図 9 は、抵抗 81 をドライバ IC 36 に内蔵したときの基準電流発生部の構成を示したもので、このドライバ IC 36 を 2 つ用いた場合の外部配線の関係を示したものを図 19 に示す。

【0064】

抵抗素子 81 については 2 パーツに分割 (11a、11b) する。

【0065】

2 つの抵抗素子間の接続を工夫することにより、異なるチップ間での基準電流 89 のばらつきを小さくすることができる。

【0066】

2 つのドライバ IC 36 が接する場合、電流源の構成は図 19 に示した 2 つの電流源の構成のようになる。外部配線 92 により 2 つ必要な抵抗素子 81 のうち一方を異なる IC 36 から取り込むようにした。

【0067】

抵抗素子 81 は隣り合う IC 36 の両方から 1 つずつ持ってきている。36a のドライバ IC の基準電流 89a は、抵抗 81c と 81b の和から決められ、36b のドライバ IC の基準電流 89b は、抵抗 81a と 81d の和から決められる。80a 及び 80b の電圧は、図 8 に示すように、抵抗 84 により基準電圧 86 が分圧された電圧が供給される。基準電圧 86 はドライバ IC 36 に共通に入力すればばらつきがないし、さらに分圧電圧は 84 の抵抗分割比により決められるため、チップ間のばらつきは小さくできるため、節点 80 のばらつきは小さい。

【0068】

従って、基準電流 89a と 89b の間のずれは、抵抗素子 81 のずれにより発生する。抵抗素子 81a から 81d の抵抗値を R_a 、 R_b 、 R_c 、 R_d とし、抵抗両端にかかる電圧を V_d とする。

【0069】

89a の電流は $V_d / (R_c + R_b)$ となり、89b の電流は $V_d / (R_a + R_d)$ となる。

【0070】

IC 36 内部で抵抗を作成するには、拡散抵抗とポリシリコン抵抗がある。よりばらつきの少ない抵抗を作成するには、ポリシリコン抵抗を用いるほうがよく、チップ間及びロット間を含めるとおよそ 5 % 程度のばらつきである。しかし、同一チップ内に近接して 2 つの抵抗素子 81 を作成した場合、抵抗値のばらつきは 0.1 % 程度となる。よって図 19 に示す抵抗素子 81c と 81d 間 (R_c と R_d)、11a と 11b 間 (R_a と R_b) のばらつきは 0.1 % に抑えられる。従って、89a と 89b 間でのばらつきの要因となる ($R_c + R_b$) と ($R_a + R_d$) 間のばらつきは、0.1 の 2 乗平均である 0.14 % となる。

【0071】

このように、電流値を決める抵抗を隣接する 2 つのチップから相互にとることで、チップ間及びロット間ばらつきとは無関係となり、5 % 程度ばらつきのあるポリシリコン抵抗でも実用可能となる。よって、内蔵抵抗、ブロックむらのできないドライバ IC 36 が実現可能である。

【0072】

このように図 9 に示した構成の定電流源を用いると、実装部品を削減することができるため、コストが削減可能である利点があり好ましい構成である。

【0073】

さて、有機発光素子を用いた表示パネルでは、点灯画素にのみ電流がながれ、非点灯画素には電流が流れない。従って全画面白表示時に最大、全画面黒表示時に最小電流が流れ

る。

【0074】

表示パネルに電流を供給する電源回路は、最大電流が流せるような容量を持たせる必要がでてくる。しかし、最大電流を流すような画面表示となることはきわめて少ない。このきわめて少ない機会しか発生しない最大電流のために、大きな容量の電源回路を設けることは無駄が大きい。また消費電力を下げるためにも最大電流をなるべく小さくする必要がある。

【0075】

そこで、最大電流を下げる方法として、白表示画素が全体の6割以上ある場合、全画素の輝度を2~3%程度低下させる。これによると、最大電流が2~3%低下し、ピーク時の電力が下がる。

【0076】

この方法を実現させるには、1階調あたりの電流を決める基準電流生成部26から発生する基準電流89の値を2~3%程度変化させれば実現できる。

【0077】

そのために、表示パターンに応じて制御データ88の値を変え節点80の電圧を変えることで、基準電流89を変える。

【0078】

このように、表示パターンに応じて制御データの値を変えるには表示パターンを判別し、判別結果により制御データを変えするという制御をする必要がある。そのためこの判別は通常制御IC28により行われる。

【0079】

このため、制御IC28からソースドライバIC36へ入力される信号線の本数は映像信号線その他、電子ボリュウムの制御データ線数だけある。そのため両ICの入出力端子が増加する。電子ボリュウムの制御が6ビット、映像信号線が18ビット（各色6ビット）の場合、24本端子が必要となる。

【0080】

さらにプリチャージ電源24が内蔵されている場合、プリチャージ電源24の出力電圧を設定するレジスタが存在する。プリチャージ電圧は表示パネルのTFT特性及び、有機発光素子のしきい値電圧により決まるため、異なるパネル毎に異なる電圧値を設定する必要があり、少なくとも1回外部から設定する必要がある。1回の設定のために外部入力端子を設けるのは非効率である。

【0081】

入出力信号線数を減らすことはチップ面積縮小、外部の配線引き回しの簡略化に有効である。

【0082】

そこで本発明では、データ線とアドレス線を制御ICとソースドライバIC間に接続し、映像信号と各種設定用信号を高速にシリアル転送させるようにして信号線数を減らすことにした。映像信号も、赤緑青の3源色をシリアル転送する。

【0083】

図1にデータ線とアドレス線のタイミングチャートを示す。スタートパルス16が入力された後、1行分の画素データがデータ線12より転送される。その後制御用のデータが転送される。例えば電子ボリュウムの設定値などである。データ線12に流れているデータが何であるか判別するために、アドレス13がデータ線12のデータに同期して転送される。この例では、アドレス線13のデータが0のとき赤色データ、1のとき緑色データ、2のとき青色データとなる。4以上の値はコマンドデータである。

【0084】

シリアル転送されてきたデータを分配するため分配部27のブロック図を図18に示す。分配部は映像信号では2段の、その他のコマンドデータでは1段のレジスタもしくはラッチ回路で構成される。

【0085】

1段目のレジスタもしくはラッチ回路182により、必要なデータのみを取り込み、映像信号11に対しては、次のシフトレジスタ部21のキャリアパルスが長くできるよう3色の信号のタイミングを調整している。これにより図1に示すような映像データ11が取り出される。このデータがシフトレジスタ部21により各出力に分配される。

【0086】

これにより入力信号線数の少ないソースドライバIC36が実現できた。

【0087】

ここまでは画素67の用いられるトランジスタがp型のトランジスタの時の例を示したが、n型トランジスタを用いても同様に実現可能である。

【0088】

図20はカレントミラー型の画素構成をn型トランジスタで形成したときの1画素分の回路である。電流が流れる向きが逆になり、それに伴って電源電圧が変わる。従ってソース信号線205を流れる電流はソースドライバIC36から画素67に向かって流れる必要がある。出力段の構成はドライバIC外部に電流を吐き出すようp型トランジスタのカレントミラー構成となる。基準電流の向きも同様に反転する必要がある。

【0089】

このように画素に用いるトランジスタがp、n両方において適用することが可能である。

【0090】

図24は8ビット入力に対し、256段階に出力電流を出力するための電流出力段23を示したものである。下位2ビットの信号線に対しては、“I”の電流が流れる電流源がビットの重みに応じて用意され、上位6ビットの信号線に対しては、“4I”（“I”の4倍）の電流が流れる電流源をビットの重みに応じて用意する。これにより、階調0のとき最低電流である0の電流が流れ、階調255のとき最大電流である255Iの電流が流れる。1階調あたりIだけ電流が異なる。

【0091】

電流源をトランジスタで構成するとすると、“I”の電流源のみで構成する場合、トランジスタは255個必要となる。一方図24の構成では“I”の電流源トランジスタが3個、“4I”の電流源トランジスタが63個必要となる。“4I”用のトランジスタは“I”のトランジスタに比べチャネル幅がおよそ4倍である。従ってトランジスタのチャネル面積だけ見ると“I”のみでも“I”と“4I”のトランジスタを併用した場合でも同面積が必要である。しかし、トランジスタを形成すると、チャネル領域の他、ゲート、ソース、ドレイン各電極のコンタクト部が必要となる。これらはトランジスタ1つにつき1つずつ必要である。従って、トランジスタチャネル総面積が等しくなる2つの方法において、トランジスタ数が少ない分、“4I”と“I”を混ぜて出力する図24の方法の方が少ない面積で出力段を形成可能となる。

【0092】

図24の構成をトランジスタで実現したときの例を図25に示す。入力映像信号データD[7:0]に対して、D[0]とD[1]間、D[2]からD[7]間では、ビット毎の重みを出力に接続されるトランジスタの個数を変化することで表現し、下位2ビットと上位4ビット間の重み付けはトランジスタのチャネル幅によりきめた。トランジスタ251と252では、252の方がチャネル幅がおよそ4倍となるように設計する。ただし、チャネル幅の比と出力電流の比がぴったり一致するわけではないため、3.3倍から4.7倍の間でシミュレーションや実装データを元に、トランジスタのチャネル幅の割合を決定することでより階調性の高い出力段を構成できる。

【0093】

このように下位ビットと上位ビットで異なるサイズのトランジスタを電流源として用いることで、トランジスタ個数の削減によりコンタクト部の面積が少なくなることにより小さい出力段を構成することが可能である。

【0094】

出力電流は各ビットに接続された電流源トランジスタの数により決まり、1つのトランジスタに流れる電流量を個数分積み重ねるような形で、出力電流を変化させる。図24及び図25の8ビット出力の場合、階調と出力電流特性は図26のようになる。(なお紙面の関係上、下位64階調のみを図示) 上位6ビットのトランジスタにより262の領域で示される電流が出力され、下位2ビットのトランジスタにより261の領域で示される電流が出力される。262の電流はトランジスタの個数の違いにより電流値を変えているため、刻み幅のばらつきは1%以下にできる。出力電流の大部分は262の部分であるため、261の部分の電流に多少ばらつきが生じても階調のリニアリティに影響を与えない。また261の刻み幅が所定の値に比べ増減しても、4階調に1回のみ刻み幅が異なる部分があるので、262と261の出力電流に対する割合を考慮すると実用上は問題ない。262の電流割合が小さくなる低階調領域では、人間の目の特性上輝度差を認識しにくく、刻み幅のばらつきは更に目立たなくなるため、問題ない。

【0095】

もっとも近接間のばらつきが見えやすくなる中間調(8ビット表示の場合階調128付近)のときにばらつきが1%以下である必要がある。そのためには図11の関係から出力に用いるトランジスタ1つが70平方ミクロン以上であればよい。階調128のときはトランジスタ252のみを使用するため、252のみが70平方ミクロン以上の面積を持てばよい。階調127のときは、トランジスタ252により階調124分の電流を、トランジスタ251により階調3分の電流を出力する。トランジスタ251による電流は全体の2%程度であるため、仮にトランジスタ251による電流が3%程度ばらついても、全体では1%以内に納めることが可能である。トランジスタ252のチャンネル面積が70平方ミクロンであるならば、251は252に対し4分の1の電流を流すことから、チャンネル長を等しく設計すると、チャンネル幅を4分の1とする。するとこの場合面積は17平方ミクロンである。図11の関係から、トランジスタ251のばらつきは2%程度(3 σ をとると)となるため、全体として階調127のときでも隣接間ばらつきを1%以内に納めることが可能である。

【0096】

なお、128より階調数が増加すると出力されるトランジスタ252の数が増加するため、更にばらつきが小さくなるためばらつきによるたて筋は発生しない。

【0097】

電流出力段23を図24のように、各ビットに対応した電流源を用意し、入力データに応じて、各電流源の値を積み重ねることで電流出力を得る方式では、上位ビットに用いられる電流源にくらべ、下位ビットに用いられる電流源の出力ばらつきが大きくても表示可能であるという利点がある。

【0098】

下位ビットのみで出力を行う低階調領域においては人間の視覚特性から、ばらつきが大きくても表示むらを観測しにくく、最もばらつきが見えやすい中間調領域では、上位ビット側電流源からの出力が出力電流の大部分を占めるため、下位ビット側電流源が全出力電流に占める割合が数%となり、仮に下位ビット側の電流源が3%ばらついても全体で1%以内を実現できるという利点がある。

【0099】

高階調領域では図25の構成をとると、出力に用いられるトランジスタ数が増加するため、更にばらつきが小さくなるため、表示に問題がない。

【0100】

以上のことから、各ビットに対応して電流源を構成する方式において、上位Nビットと下位Mビットで異なるサイズのトランジスタを用いて電流出力を行う場合、最もばらつきに対して厳しい条件となる、(中間調-1階調)表示時のばらつきが1%以下となるように設計すればよい。

【0101】

このときのばらつきは、上位Nビットの電流源出力ばらつきを p [%] とし、図11に示すように、ばらつきがトランジスタのチャネル面積の平方根に反比例することを用いると、下位Mビットの電流出力ばらつきは $2^{(M/2)} \times p$ [%] となり、N+Mビット表示電流出力型半導体回路の(中間調-1階調)表示時のばらつきは、 $\{(2^N - 1) \times 2^M \times p + (2^M - 1) \times 2^{(M/2)} \times p\} / (2^{(M+N)} - 1)$ となる。

【0102】

この式をまとめると、ばらつきの式は $(1 + 2^{(M/2 - N)}) \times p$ で表わされる。従って、(N+M)ビット出力を持つ電流出力型半導体回路において、 $(1 + 2^{(M/2 - N)}) \times p$ が1%以内となるようなMの値をとれば、表示むらのない電流出力型半導体回路が作成可能である。このときとりうる最大のMの値がMの最大値で、最小値は1である。

【0103】

よって、8ビット出力において、図24のように、N=6、M=2のドライバ以外にも、図27のようにN=7、M=1のドライバ構成もとることが可能である。

【0104】

以上の説明においてはモノクロ出力のドライバとして説明を行ったが、マルチカラー出力のドライバにも適用可能である。表示色数倍同一回路を用意すればよい。例えば、赤、緑、青の3色出力の場合、3つの同一回路を同一IC内にいれ、それぞれを赤用、緑用、青用として使用すればよい。

【0105】

以上の発明においてトランジスタはMOSトランジスタとして説明を行ったがMISトランジスタやバイポーラトランジスタでも同様に適用可能である。

【0106】

またトランジスタは結晶シリコン、低温ポリシリコン、高温ポリシリコン、アモルファスシリコン、ガリウム砒素化合物などどの材質でも本発明を適用可能である。

【0107】

図28は、表示領域のうち上半分(領域281)を白表示、下半分(領域283)を低階調表示(例えば階調1)とした場合の図面である。このとき走査方向は図面の上から下方向とする。

【0108】

領域281から283の境目において、図12で説明したとおりソース信号線の電位が浮遊容量121により素早く変化できないことから図2及び図13において、階調に基づいた電流出力を行う電流出力段54の他にプリチャージ電源24を設け、変化に時間がかかる黒表示時にプリチャージ電圧によりソース信号線電位を黒にすばやく変化させる方法を用いたことを利用して、境目の(A)で示した行(282)で、プリチャージ電圧24を出力するようにしたところ、図28に示すように、階調1表示を行う領域283の中で一番上の行のみが階調1よりも低い輝度で表示される問題がでた。

【0109】

これは、階調1では電流値が小さいため、変化量の小さい階調0相当の電圧から階調1までの電圧変化でも時間がかかることを示す。この現象は特に、ソース信号線容量が大きくなる大型パネルにおいて、顕著に現れる。

【0110】

そこで、図29に示すように、プリチャージ電圧印加判定部56の代わりにプリチャージパターン制御部292を設けた。

【0111】

プリチャージパターン制御部292は、階調データ54及び、同期信号により出力を変化させ、例えば、階調0が入力された場合でも、フレームによってプリチャージ電源24を電流出力104に出力させたりさせなかったりするようなことを可能とした。

【0112】

例えば3フレーム中2フレームではプリチャージを行い、1フレームではプリチャージ。

をしないといったことが可能となり、図 28 の表示例ではプリチャージを行ったフレームでは、階調 0 と 1 の間の表示が、行わないフレームでは白と黒の中間レベルが表示されるようになる。この場合フレームレートコントロールと同じように 282 の行ではプリチャージを行った時の輝度 2 フレーム分と行わなかった時の輝度の 1 フレーム分を足して 3 フレームで割った値が 1 フレームあたりの輝度として表示されることとなる。

【0113】

プリチャージありのときとなしのときでの輝度差によるフリッカを防ぐためにフレーム毎、同一フレーム内でプリチャージありの黒表示画素 302 とプリチャージなしの黒表示画素 303 を分散して配置した。このときのパターンを図 30 に示す。

【0114】

さらに 3 フレーム以外でも 2 フレーム間でも任意のフレーム間でもよい。図 31 には 2 フレームでプリチャージありなしを制御した場合の例を示す。この場合黒表示画素の輝度はプリチャージを行った時の輝度と行わなかった時の輝度の平均となる。

【0115】

これにより、同じ黒表示画素でも図 30 と図 31 では輝度が異なる。このことを利用して、表示階調毎にプリチャージを行うフレームの割合を変化させることで所定の輝度に近い表示を行えるようにした。

【0116】

図 32 にその一例を示す。一般にプリチャージを行う割合を多くすればするほど黒になることから、低階調ほどプリチャージを挿入する割合を増加させる。例えば階調 0 では、全てのフレームにおいてプリチャージを行い、階調 1 では 3 フレームの内 2 回行い、階調 2 では 2 フレームの内 1 回行う。このようにすることで、プリチャージの回数により階調特性に近い輝度の関係を出すことが可能である。

【0117】

更に階調性をよくするためには、図 33 に示すように、プリチャージ用電源 24 を複数個用意する方法がある。24a の出力電圧を V_1 、24b の出力電圧を V_3 とする。（ここで $V_1 > V_3$ ）2 種類の電源を用意すると、 V_1 のみを印加する場合、 V_1 と V_3 を交互に印加する場合、 V_3 のみを印加する場合の 3 通りあるため、2 種類の電源により数フレームで平均すると 3 通りのプリチャージ電圧を発生させることが可能となる。

【0118】

図 34 に階調に応じてプリチャージ電圧の印加パターンを変えた一例を示す。

【0119】

図 10 で示したような、電流出力部が引き込み型の電流源で構成された場合、画素の構成は図 6 もしくは図 44 のように p 型のトランジスタで構成される。画素回路にソースドライバからの電流を供給するときの等価回路を図 12 に示す。（必要な回路構成のみを示している。そのため、図 6 でも図 44 でも等価的には図 12 の回路構成となる）駆動トランジスタ 62 のドレイン・ゲート間電圧とドレイン電流特性を図 12 (b) に示す。これをゲート電位対ドレイン電流特性に書き直したものが図 35 となる。階調 0 の時には電流 I_1 が流れるように設定され、階調 1 の時には V_1 と V_3 の平均である V_2 の電圧がかかっているように見えるため、 I_2 の電流が流れるのと等価となる。また階調 2 では V_3 に対応した I_3 の電流が流れる。このようにすることで、プリチャージ電源 24 のみでも I_1 から I_3 のように、階調に応じた電流値を流すことが可能である。また、プリチャージを印加後には階調に応じた電流を流す期間があるため、所定の電流値に対してずれがあっても所定の電流に変化させることが可能である。（プリチャージ電圧は図 35 の関係を用いて、所定電流に対応した電圧を印加するようにするため、実際にずれがあるとすると、駆動トランジスタ 62 のプロセスばらつきによるものである。これは低階調領域では数 nA ~ 十数 nA 程度であるため、十分電流変化させることは可能である）。

【0120】

このように複数の電圧源を用意し、フレーム毎に印加する電圧値を変化させる方法を組み合わせると、少ない電圧数で所定の電流値に対応した電圧値を数多く出せることから、

小さい回路規模でより階調性のよい表示を実現させることが可能となる利点がある。

【0121】

また、図33では更に、高電流領域（＝高階調領域）で、十分電流が書き込めなくなる場合を想定して、嵩上げ用電流源331を用意し、所定電流＋嵩上げ電流により、浮遊容量の電荷の充放電を早くする方法も併用することが可能である。

【0122】

プリチャージパターン制御部292の入力を階調データではなく、プリチャージ判定信号を入力することにより、最も所定の輝度になりにくい、白表示の下の行のみフレーム毎に印加する電圧を変えてソース信号線に出力し、低階調表示の下の行では、電圧をソース信号線に出力しないといったことも可能となる。

【0123】

図36は、プリチャージ電圧を3種類用意した例である。フレーム毎に印加する電圧値を変化させない場合は、3種類の電圧しか出力できないが、フレーム毎に異なる電圧を出力するようにすると、平均値として3種類よりも多い電圧値を出力することが可能となる。

。

【0124】

例えば偶数フレームと奇数フレームで同一もしくは異なる電圧を出力するようにすると、図37に示すように6種類の電圧印加パターンが実現できる。このようにフレーム毎に異なる電圧も印加できるようにすることで少ない電源で多くの電圧値を出力できる利点がある。この例では2フレーム間の平均で電圧を異ならせているが、3フレーム以上でも適応可能である。フレームレートコントロールによる階調表示と同様フレーム数を多くするとフリッカが発生しやすくなるため多くても3フレーム程度が望ましい。

【0125】

更に電圧値を多くするにはプリチャージ用電源24を多くする方法もあるが、電圧数だけスイッチ131も必要となる。特にスイッチは各ソースラインに電源数だけ必要となるため、大きな面積をしめることになる。

【0126】

これは、各ソースラインにおいてデジタルデータ（階調データ）をアナログ値（プリチャージ電圧）に変換するため、ソースライン毎にデジタルアナログ変換部が必要になるために、出力電圧数が増えるほど回路規模が大きくなる。

【0127】

そこで図38に示すようにデジタルアナログ変換部381は、半導体回路で1つのみ用意し、シリアル転送されてきたデータをアナログ電圧に変換し、その後、各ソース信号線に分配するようにする。そのためにデジタルアナログ変換部の出力382を分配部及びホールド部383に入力し各ソース信号線に、階調データに基づいたアナログ電圧を分配し供給する。

【0128】

一方階調に応じた電流を出力する方法は図2と同様に、階調データ386をシフトレジスタ及びラッチ部384で各ソース線に分配し、各ソース線にある電流出力段23により階調に応じた電流を出力するようにしている。

【0129】

電流もしくは電圧のいずれかを出力するかを決める部分として電流電圧選択部385をソース信号線への出力の直前に配置した。プリチャージ判定信号383によりプリチャージ電圧印加判定部56により、電流電圧選択部385を切り替え、電流を出力するか、電圧を出力するか、電圧出力後電流を出力するかのいずれかを定める。

【0130】

これにより、デジタルアナログ変換部381が階調数に応じたアナログ出力段階数を持てば、階調に応じた電圧を出力することが可能となり、ある行が選択されている期間（水平走査期間に相当する）において、まず電圧によりほぼ所定の値までソース信号線電流を変化させ、その後、各画素のトランジスタのばらつきによる電流値のずれを電流出力によ

り補正するということが可能となる。

【0131】

電流により所定電流値にまで変化させるには、特に低階調部において水平走査期間以上の時間がかかることが多いが、電圧により変化させる方法はほぼ1 μ 秒で変化を完了させることが可能な上、電流による補正はわずかであるため、電圧印加後電流を流す方法では水平走査期間内に所定電流まで電流を変化させることが容易となる利点がある。

【0132】

特に白表示時に比べ黒表示時では、 $t = C \times V / I$ の式からソース信号線に流れる電流値が少ないため、ソース信号線の浮遊容量に蓄積された電荷を所定階調に対応した電荷量まで充放電するのに時間がかかる（ t は変化に要する時間、 C はソース信号線の容量、 V はソース信号線電圧、 I はソース信号線に流れる電流）。

【0133】

一方で、電流 I が多く流れる白表示時では、1水平走査期間内に所定の電流まで変化させることが可能である（例えば $I = 2 \mu A$ 、 $V = 5 V$ 、 $C = 10 pF$ の時 $t = 25 \mu$ 秒。QVGAのパネルをフレーム周波数60Hzで動作させたとき水平走査期間は約65 μ 秒であり、十分変化可能である）。

【0134】

この場合、デジタルアナログ変換部381のダイナミックレンジ及び分解能を低下させることが可能となる。

【0135】

例えば256階調表示が可能な駆動用半導体回路において、上位128階調では電流のみで十分所定の電流値に変化できるなら、電圧を出力するのは下位128階調分でよい。従ってデジタルアナログ変換部381は7ビットの分解能であればよく、128種の電圧が出力できればよい。階調データ386が上位128階調のうちの1つであるときには、電圧出力を行わないように、プリチャージ判定信号383を入力する。これにより電流電圧選択部385は必ず電流のみを出力するようになる。デジタルアナログ変換部381の出力信号は駆動用半導体回路の外部に出力されないため、どのような値であっても良い。最も簡単な方法としては入力階調データ386の上位1ビットを無視して、下位7ビットの値に対応した電圧を出力しておいてよい。

【0136】

階調データ386が0から127階調の間である場合には、プリチャージ判定信号383により、電流電圧選択部385を制御して、デジタルアナログ変換部381からのアナログ電圧を駆動用半導体回路外部に出力する期間を設ける。

【0137】

これによりデジタルアナログ変換部の分解能を小さくした回路が形成できる。またソース信号線の電圧は一般に図6のようなp型トランジスタを用いたカレントコピヤや図44のようなカレントミラーの画素構成の場合、黒表示時が最も電圧が高く、白表示になるに従って電圧が低下していく。黒から白の範囲での電圧変化幅に比べ、黒から中間調の範囲での電圧変化幅の方が小さくなる。従って、0から127階調の時のみ電圧を出力するような構成とした場合は、出力電圧のダイナミックレンジを小さくすることが可能となる。

【0138】

電圧と電流を一水平走査期間内に順に出力する場合は図45のような構成とする。ここでプリチャージパルス451は、一水平走査期間のうちどの期間まで電圧を出力するかを決める信号である。またプリチャージ印加判定部56の回路構成の一例を図46に示す。また、電流のみを出力する場合、電圧のみを出力する場合、電圧出力後電流を出力する場合における入力信号波形を図47に示す。ここでプリチャージ判定信号383は2ビットの信号線とした。これは、プリチャージを行うかどうか（電圧を印加するかどうか）の判定と、プリチャージを行う場合、水平走査期間のはじめのみ行いその後電流を出力する場合と、全てプリチャージ電圧出力を行う場合の判定を行う必要があるため、区別に必要な最低ビット数として2ビット用意している。ここでは説明上、プリチャージを行うかどうか

かの判定を最上位ビット (383a)、電圧を印加する期間を判定する信号を最下位ビット (383b) とする。

【0139】

入力階調データが、高階調データであるときに、プリチャージを行わなくとも所定電流値まで信号線が変化できるときは、1 水平走査期間内で電流のみを出力するようにする。図 47 の 471 の期間がこれに相当する。このとき、プリチャージ判定信号 383a をローレベルとすれば、図 46 の構成から、電流電圧選択部 386 は常に電流出力を選択する。これにより、電流のみが出力される。

【0140】

一方、低階調データで、電流出力では、所定電流値までソース信号線が充分に変化できない場合、プリチャージ電圧を出力する必要がある。このときは、プリチャージ判定信号 383a をハイレベルとする。図 46 の構成から、プリチャージパルス 461 とプリチャージ判定信号 383b により、電流電圧選択部 386 の動作が変化する。

【0141】

電流により所定電流値までソース信号線の状態がほとんど変化できないような低階調部 (特に電流が 0 となる階調 0) においては、プリチャージ電圧により階調を表示する。そのため、電流出力期間が必要ないため、472 の期間で示すように、常に電圧が出力されるようにする。このためには図 46 の回路構成の場合、プリチャージ判定信号の最下位ビットをハイレベルとして、プリチャージパルス 451 の状態に関わらず電圧を出力するようにする。

【0142】

一方、中間調付近の表示のように、電圧により所定電流値に近い状態までソース信号線の状態を変化させれば、電流により所定電流値まで変化できる場合、まず水平走査期間の状態を変化させることで所定電流値近傍までソース信号線の状態を変化させる。その後所定電流値までの変化を電流により行う。このときの電圧印加期間と電流出力期間の割合を決める信号がプリチャージパルス 451 で、プリチャージ判定信号 383b をローレベルにすることによりプリチャージパルス 451 の状態によって、電圧出力するか電流出力するか判定を行うようにした。

【0143】

図 45、46 の構成例、及び図 47 のような波形入力により、電流により階調表示を行うことも、電圧により階調表示を行うことも、電圧でまず所定階調近傍まで信号線状態を変化させてから電流による階調表示を行うことも可能なソースドライバ IC を実現できた。

【0144】

一般にソースドライバ IC を使うパネルのサイズの違い (ソース線の浮遊容量が異なる) や、走査方向の画素数の違い (水平走査期間が異なる) により、電流変化のしやすさが異なる。

【0145】

本構成のドライバ IC を用いるとプリチャージパルス 451 をソースドライバ IC 外部から入力するようにすれば、プリチャージ判定信号 383 及び階調データ 386 は図 2 に示すように、外部信号入力となることからパネルにあわせて、電流、電圧、両方を利用して階調表示の 3 通りを行う階調範囲を任意に設定できるという利点がある。階調範囲の設定は図 2 のように外部に形成されたコントロール IC で制御することができる。またコントロール IC の動作をコマンド入力により変化させられる場合は、コマンド入力により調整可能となる。なお、コントロール IC は図 2 のようにソースドライバ IC の外部に構成される場合の他、液晶用ソースドライバの一部に見られるように、ソースドライバ IC とコントロール IC を同一チップに一体化して形成しても構わない。このときは一体化された IC のコマンド入力により階調範囲を調整できるようにしておけばよい。

【0146】

以上の発明により、低階調部において、ソース信号線に流れる電流が小さいことから所

定時間（水平走査期間）内に電流が所定値に変化できないために、白表示を行った次の行の画素の輝度が所定値よりも高くなるという問題をプリチャージ電圧入力により解決した。

【0147】

例えば図39に示すような黒表示画面内に1行の白表示領域がある画像において、プリチャージを行わない場合、図39(A)の392aに示す白表示領域391aの下で行では黒表示とならず、ぼやっと点灯した状態となってしまうが、392の行でプリチャージを行うことにより、図39(B)に示すように、392bの行においても黒表示が実現できた。

【0148】

一方で、プリチャージ電圧の種類を少なくし高階調表示に対応した電圧値をなくし高階調部では電流のみにより階調表示を行うようにした場合ときには次のような問題が発生する。

【0149】

図40に示すような、白画面の中に1行の黒表示領域(401)を表示したパターンにおいて、図40(B)に示すように401の行でプリチャージを行って黒表示を実現した場合、プリチャージを行った次の行(402)の白表示の輝度が他の白表示の輝度よりも低下する(402b)という問題がパネルの垂直解像度、サイズ、白表示時の電流値によって発生する。

【0150】

これは、電流値が変化するのに必要な時間 t が $t = C \times V / I$ で表され、パネルの垂直解像度が増加すると、水平走査期間が短くなるため、必要な時間 t に対し許容される時間 T の範囲が小さくなることで、 $t > T$ となることで所定輝度まで変化せずに、画素に電流が書き込まれてしまうこと、パネルサイズが増加すると、ソース信号線の容量が大きくなるため、 t が長くなること、白表示時に必要な電流値が低下すると、 t が長くなることによって、所定電流まで変化しきれなくなることから、白表示時でも所定輝度にならないという問題が発生する。

【0151】

とくに図40の場合、402の行と402の下領域である403の領域で本来同じ輝度であることから、この2つの領域で輝度が異なると、輝度ムラとして観測されてしまう。一方で黒表示行401の輝度が黒表示に比べ高かったとしても1行のみの表示であるため、ムラとはならず表示品位への影響は小さい。

【0152】

一方、図39の場合では、黒表示部において392の行と393の領域で輝度が異なると輝度ムラとして観測されるが、白表示行391の輝度がプリチャージありなしで異なっても、白表示部はこの行しかないため、ムラとして観測されない。

【0153】

この2つの画像において、図39の表示パターンの場合プリチャージを行った方が良いが、図40の表示パターンにおいてはプリチャージを行わない方がよいという結果が得られる。

【0154】

つまり白表示部が多く黒表示部が少ない画面においてはプリチャージにより発生しやすくなる輝度ムラを防ぐために、黒表示画素においてもプリチャージを行わず、黒表示部が多い画面においては、所定の電流にならないことによる黒輝度の上昇（黒浮き現象と呼ぶ）による表示品位の低下の方が、白輝度が所定輝度にならない問題に比べ目立つため、プリチャージを行った方がよい。

【0155】

なおこの問題は、図38や図45に示すような構成によって、各階調に対応したプリチャージ電圧が用意され、全階調に対し所定電流値までの変化が早くなる構成においては発生しない。しかし、回路規模を小さくするためプリチャージ電圧の種類を少なくした構成

において問題となる。プリチャージ電圧が少ない場合における対策を次に示す。

【0156】

パネルの点灯率によってプリチャージを行うかどうか、プリチャージを行う階調数を変える。

【0157】

パネルの点灯率は1フレーム間全ての輝度データを加算することにより算出可能である。この方法で得た点灯率の値により、点灯率が高い場合プリチャージを行わないもしくは、プリチャージを行う階調の種類を削減する（例えば階調0のみ）ようにし、点灯率が低い場合にはプリチャージを行うようにすることで、低階調表示の画素の輝度を忠実に表示できるようにできる。

【0158】

なおこの方法では実際にプリチャージを行う画面と、点灯率を表示した画面では1フレーム異なる。計算した画面は1フレーム前の画面となる。静止画を表示した場合にはこの2フレーム間でも点灯率は変化しないため、表示に支障はない。一方で動画を表示した場合は1フレーム間では極端に点灯率が変化することは少なくプリチャージによる図39、40のような弊害は起きにくい。急激に変化するフレームが連続した場合には、表示パターンが1/60秒ごとに変化しており、各表示パターンで図40(B)のような現象が起きたとしても、人間の目では視認できない。

【0159】

それゆえ、1フレーム前の画像を元にした点灯率データを用いて、点灯率によりプリチャージを行う階調及びプリチャージを行うフレームの割合を変化させることは図39及び図40の双方のパターンでの表示ムラを防ぐために有効である。なお、表示モジュールの中でフレームメモリを用いて1フレーム間データを蓄積するようなブロックがあれば、蓄積時に点灯率を計算し、読み出されたときにこの点灯率データを付与することで、当該フレームの点灯率を用いてプリチャージを印加するパターンを変化させることができるようになるため、1フレーム前のデータである必要はない。フレームメモリなどの蓄積手段がないときに、1フレーム前のデータを用いる構成とし、点灯率計算のための記憶手段を省ける構成としている。

【0160】

点灯率に応じてプリチャージを行うパターンを変える例としては、点灯率が10%以下の場合には全階調の下から2分の1の階調でプリチャージ電圧を印加し、（ここで印加するとは図47に示す、電圧のみ出力の他、電圧出力後電流出力を行う。両方を含める）10%を超えて40%以下の場合には全階調のうち下から8分の1の階調でプリチャージ電圧を印加するようにし、点灯率が40%を超えて60%以下の場合には階調0（黒表示）の場合にのみプリチャージ電圧を印加し、60%を超える場合にはプリチャージを行わないとする。これにより少ないプリチャージ電圧数であっても所定電流が書き込みにくい問題から発生する表示ムラを低減することが可能である。

【0161】

図39の表示パターンにおいて黒表示部にプリチャージ電圧を印加することで、図39(A)の392aに示す行で、黒浮きが発生するという問題を解決することができた。

【0162】

（図39(B)）しかし黒表示部393全体にプリチャージ電圧を印加した場合、393の領域での画素の駆動トランジスタ62のしきい値電圧ばらつきにより、表示輝度にばらつきが発生するおそれがある。これは例えば画素の回路構成が図6に示すような構成である場合、選択行の画素では図7(a)に示す等価回路となる。プリチャージ電圧を出力した場合、プリチャージ電圧と同一電圧が駆動トランジスタ62のゲート電極つまり節点72に印加される。行によって駆動トランジスタ62のゲート電圧対ドレイン電流特性にばらつきがあると、同一プリチャージ電圧が印加された行間で輝度にばらつきが発生する。ばらつきを補償するためにその後電流を流すことでゲート電位をばらつきに応じて変化させる方法をとることが多い。

【0163】

低階調部では電流変化に要する時間が長くなるためなるべく電流を流す期間を長くしたい。また、数行にわたり同一階調を表示する場合、同一階調を表示する行に対応する期間でソース信号線の変化は、ばらつきを補償する分のみであるため変化量が小さい。例えばソース信号線の状態が、白、黒、黒となる場合には白から黒になるときには変化量が大きく時間がかかるが、黒から黒へは変化量が小さいため、プリチャージを行わなくても変化させることが可能である。

【0164】

・このことを利用して、1行前のデータを参照し1行前のデータと当該データの階調差が大きい場合にのみプリチャージ電圧から電圧出力を行うようにする。前の例では、白から黒に変化する場合にプリチャージを行い、黒から黒への変化時にはプリチャージを行わないようにする。黒から黒へのばらつき補正に必要な変化の時間がプリチャージを行わない分長くすることが可能であり、より補正の精度を高めることが可能となった。

【0165】

一般に電流値の変化は、黒から白状態の変化に比べ、白から黒状態に変化の方が難しい。1行前の画素の階調が中間調以上であるときに、当該画素の輝度が中間調以下となる場合にプリチャージを行うようにすることが効果的である。

【0166】

1行前が中間調以下であれば、当該画素の輝度が中間調以下の場合でも変化量が少ない分、所定階調を表示できる。

【0167】

一方で当該画素が中間調以上の場合には電流量が多いため、所定電流まで変化することが容易となるため、1行前の画素によらずプリチャージは不要となる。ただし、解像度が高い場合や、中間調でも電流量が少ない場合、パネルサイズが大きいなど変化しにくい場合は、1行前の画素が中間調以下の場合にプリチャージを行っても良い。また、図33の嵩上げ用電流源331を出力して、電流値を増加させることで変化に要する時間を短縮し、所定電流にしやすくする方法でもよい。

【0168】

1フレーム間の中にどの行も選択されない垂直ブランキング期間が一般的に存在する。このときソース信号線はスイッチングトランジスタによりどの画素からも切り離され、電流の流れる経路がなくなる。ソースドライバICの電流出力段が図10のように構成された場合、垂直ブランキング期間では電流出力104の先にはソース信号線しか接続されておらず、階調表示用電流源103が電流をソース信号線から引き込もうとしても、電流経路がないため引き込めない。

【0169】

階調表示用電流源103はそのため無理にでも電流を引き込もうとして電流源103を構成するトランジスタのドレイン電圧を低下させる。ソース信号線の電位も同時に低下する。

【0170】

垂直ブランキング期間が終了し、1行目の画素に電流を供給しようとするときにはソース信号線電位の低下が大きくなり、通常の白表示時に比べてもソース信号線電位が低下する。(ここでソース信号線の電位は白表示時が最低で、黒表示時が最高電位となる。図6もしくは図44の画素構成としたとき)そのため、階調に対応した電流値になるまでソース信号線の電位を変化させることが他の行に比べて難しくなる(必要な変化幅が大きい)。

【0171】

ソース信号線電位の低下が大きい場合、白表示時に比べて更に電位が低下し、1行目に白表示を行う場合でも変化に時間がかかる場合、所定輝度に比べて高い輝度で表示が行われてしまう。垂直ブランキング期間終了後すぐに走査を行う行に関しては表示階調によらず、プリチャージ電圧を出力することが望ましい。

【0172】

そこで本発明では垂直同期信号を利用して、垂直ブランキング期間の次の行に相当するデータに対応したプリチャージ判定信号では強制的にプリチャージを行うような信号として、1行目の輝度が他行の輝度と異なる問題を解決した。

【0173】

なお、ソース信号線の電位低下を少しでも和らげる方法として、垂直ブランキング期間においては階調データ54に黒表示データを入力し、スイッチ108を非導通状態とすることでソース信号線電位の低下を抑えてもよい。また、電流出力104とソース信号線の間にスイッチを設け、垂直ブランキング期間ではそのスイッチを非導通状態とするようにしてもよい。このスイッチは電流電圧選択部385と兼用にしてもよく、スイッチの状態が3値とれるようにして、電流出力、電圧出力、ソース信号線と切り離すというようにすれば、スイッチの構成数を減らすことが可能である。

【0174】

以上に示したプリチャージの方法を行うためのフローチャートを図41に示す。映像信号と強制プリチャージ信号から強制プリチャージ信号が有効の場合、映像信号によらずプリチャージ電圧を出力する。出力される電圧値は電圧数が複数ある場合には映像信号に応じて変化させてもよい。ここで1行目に対応する映像信号が入力されているときのみ強制プリチャージ信号を有効にすると、1行目のデータは映像信号によらずプリチャージを行い、垂直ブランキング期間にソース信号線電圧が低下することによる電流が所定値まで変化しにくくなる現象を回避することが可能となる。

【0175】

強制プリチャージ信号が無効の場合、次に入力映像信号の階調を判定する(412)。小型パネルや解像度の低いパネルでは電流量が低階調部に比べて多い高階調領域では、所定期間(1水平走査期間)内で電流のみで所定電流値まで変化させることが可能である。そこで412において所定電流を書き込むことが可能な階調においてはプリチャージを行わず、電流だけでは所定電流とならない階調ではプリチャージを行うような判定を行う。

【0176】

次にプリチャージが必要な特定階調以下の場合は413に進む。(ここで特定階調については表示パネルにより異なるため外部コマンドにより特定階調を設定できることが好ましい)1行前の映像信号の状態によりプリチャージするしないを判定する。これは、黒表示後と白表示後に黒を表示する場合、黒表示後では電流のみで黒を表示可能であるが、白表示後では黒までソース信号線が十分に变化できないことに対応するもので、ソース信号線の変化量が多くなる場合にプリチャージを印加するようにする。412の過程で特定階調以下の映像信号が入ってきたときに413が実行されるため、413においてプリチャージをするのは1行前のデータがある階調以上(ここで412と413で特定階調はそれぞれ別の値を設定できる)の時で、ある階調以下の場合にはプリチャージをしない。

【0177】

つぎに図39、40で示したように画面の点灯率によってプリチャージを行うかどうかを判定する(414)。図40に示したような点灯率が高い表示の場合、黒が所定階調とまらないよりも、白が所定階調とならない方が問題となることから点灯率が高い画面では入力映像信号の階調によらずプリチャージをしないようにする。ここでプリチャージを行うかどうかの境界となる点灯率の設定は外部コマンドにより変更できるようにして汎用性の高い半導体回路とすることもよい。点灯率が低い場合にはプリチャージを行い415に進む。ここで、点灯率が中程度の場合には複数のフレーム間で間欠的にプリチャージを行い、低いときには必ずプリチャージを行うといったことを行う場合には414から415への信号線ビット数を複数として、点灯率毎に415の動作を異ならせるといったことを行っても良い。点灯率が徐々に変化する画面においてあるフレームに来たときに414でプリチャージするしないの判定が変わり画面の輝度が点灯率に対して急激に変化してしまったときに発生するフリッカを防ぐことに有効である。

【0178】

つぎに415においてFRCフラグによってプリチャージをするかしないか判定する。これは図32に示したプリチャージ印加パターンを実現するためのものである。FRCフラグは同一画素に対応するデータに対し、図32の場合では第1のFRCフラグとして、3フレーム中2フレームでプリチャージを行うという信号を出力し、残りの1フレームではプリチャージをしないという信号を出力する。第2のFRCフラグとして2フレーム中1フレームでプリチャージし、のこり1フレームではプリチャージしないという信号を出力する。入力映像信号に対し、どのFRCフラグを用いるかの関係を決めることで、フレーム間で間欠的にプリチャージを行うことが可能となる。なお全てのフレームでプリチャージをするという場合(図32で階調0の場合)は常にFRCを行うという信号を出すFRCフラグを参照するというにすれば、毎フレームプリチャージを行うことも可能である。

【0179】

なお本説明では411から415のすべての過程を順に通してプリチャージをするかどうかを判定したが、必ずしも全ての過程がなくてもよい。

【0180】

プリチャージを行うかどうかの判定を行うほかに図34に示すような階調に応じてプリチャージ電圧が異なるといった場合もある。FRCフラグを用いて行う場合、プリチャージするのを電圧V2印加、プリチャージしないを電圧V1印加というように読み替えて行えば実現可能である。3値以上の場合にはFRCフラグのビット数を増やすことで実現できる。

【0181】

本発明によるプリチャージの方法を実現する回路ブロックを図42に示す。映像信号410に対し各ブロックによる判定の結果としてプリチャージするかどうかの判定信号が417に出力される。映像信号410とほぼ同一タイミングで出力される判定信号417により、ソースドライバ側でプリチャージを行うかどうかが決まる。シリアルパラレル変換部427は必ず必要というわけではなく、図2の36で構成されたソースドライバICと組み合わせて実現する際に、ソースドライバ36の入力インターフェースにあわせるために必要なものである。

【0182】

映像信号410はプリチャージ判定部1(421)及びプリチャージ判定部2(423)、FRC挿入手段(424)に入力される。

【0183】

プリチャージ判定部1(421)は、図41の1行前データにより判定(413)を行うためのブロックである。映像信号410と1行前階調設定信号428により、映像信号410の値が1行前階調設定信号428より大きければプリチャージをせよという信号を記憶手段422に出力し、小さければプリチャージしないという信号を記憶手段422に出力する。記憶手段422において1垂直走査期間値を保持することにより、1行前のデータとなる。1垂直走査期間値を保持する必要があるため、記憶手段422は水平方向の画素数分だけのビット数が必要である。このとき記憶手段422に蓄積されているデータはプリチャージするもしくはしないのどちらかが記憶されている。

【0184】

なお、記憶手段422とプリチャージ判定部1(421)は順序が逆となっても良い。つまり映像信号410を記憶手段422に1垂直走査期間保持することで、1行前のデータとし、このデータからプリチャージ判定部1によりプリチャージを行うかどうかを決めることも可能である。この方法では映像信号410を保持する必要があるため(映像信号410のビット数)×(水平方向の画素数)分のビット数が必要となるため、回路規模削減の点からは図42の構成が望ましい。ただし、プリチャージ以外の機能ブロック部で1行分の映像信号を蓄積することがある場合には、この機能ブロック中の記憶手段422を用いて行うことも可能であるため、421と422の順序が逆の場合でもよい。

【0185】

映像信号 410 は同時にプリチャージ判定部 2 (423) にも入力される。プリチャージ判定部 2 (423) では、421 のブロックと同様に、映像信号 410 とプリチャージ印加階調設定信号 429 により入力映像信号の階調によってプリチャージを行うか行わないかを判定する (図 41 の 412 の処理に相当する)。

【0186】

プリチャージ判定部 2 (423) の出力に対し、1 行前データ選択部 400 で階調によりプリチャージをするか判断後に 1 行前データの判定結果である記憶手段 422 の出力を参照し、階調によってプリチャージをするときにさらに 1 行前データによってするかどうかを判定する。

【0187】

この動作のために 1 行前データ選択部 400 は 423 出力と 422 出力の論理積をとるようにする。階調データとして白データが入力された場合で、プリチャージ印加階調設定信号 429 で中間調以下でのみプリチャージをするのであれば、423 の出力は “L” レベルとなる (“L” レベルはプリチャージなしとする)。このとき 1 行前のデータがどうであれ、400 の出力は “L” レベルとなり図 41 の条件を満たす。

【0188】

一方黒データが入力され信号 429 が同じであるとするとき 423 の出力は “H” レベルとなり、400 の出力は 1 行前データの判定結果である 422 の出力次第で変化する。1 行前階調設定信号 428 が中間調とした場合で、1 行前のデータが白であれば 421 の出力は “H” レベルで、記憶手段 422 から出力される信号も “H” レベルとなり、400 の出力も “H” となる。1 行前のデータが黒であれば、421 の出力は “L” レベルとなり同様に考えると 400 の出力は “L” レベルとなる。

【0189】

つまり 1 行前データ参照部 400 の出力は、映像信号 410 がプリチャージ印加階調設定信号 429 で示す階調以下で、1 行前の映像信号 410 が 1 行前階調設定信号 428 で示す階調以上の場合にのみプリチャージを行うことを示す “H” レベル信号を出力し、その他の場合にはプリチャージを行わないとなる。これにより図 41 の 412 及び 413 の処理が実現した。

【0190】

なお、1 行前のデータによらず入力映像信号によってプリチャージをするかどうかを判定する場合 (413 のステップをなくす場合) には記憶手段 422 の出力を常に “H” レベルとすればよく、例えば 1 行前階調設定信号 428 を 0 (黒) と設定するか、1 行前データ参照部 400 において、1 行前データ有効無効信号を入力し、この信号と 422 の出力の論理和の出力を 423 の出力と論理積をとるという方法をとってもよい。

【0191】

これにより例えば全面黒表示の場合に、はじめの 1 行のみプリチャージを行うこと、全面素でプリチャージを行うことのいずれのプリチャージの方法も実現可能となる。

【0192】

FRC レジスタ選択部 424 は映像信号 410 の階調によって FRC を行うかもしくはプリチャージを行うフレームの割合を選択するためのブロックである (図 32 の表を実現するためのブロック)。

【0193】

FRC 生成部 425 には、FRC レジスタ 433 からなる。クロック、水平走査信号、垂直走査信号ごとに FRC レジスタ 433 をシフト処理することにより、フレーム毎にプリチャージするかしないかを判定できるようになっている。

【0194】

FRC レジスタ 433 の動作を図 43 に示す。この FRC レジスタは 3 ビットからなり、1 が 2 個、0 が 1 個からなっている。1 の時にプリチャージあり 0 の時はプリチャージなしの状態とする。また FRC レジスタ選択部 424 へは太線で囲んだビット (433c) の値を出力する。

【0195】

初期状態では433 aから433 cの状態レジスタ値が保管されている。これを映像信号1データごとに1ビットシフト処理を行う。これを最終列のデータまで順に行うことで3回に2回プリチャージありの信号が出力されるため、図49 (A)の1行目のようなプリチャージありなしパターンが形成される。

【0196】

2行目のはじめのデータは、1行目の1列目の状態レジスタからシフト処理を行ったものを用いる。このときのシフト処理をラインシフト432と呼ぶ。この場合のラインシフトの量は左に1である。なおこのシフト量は1でも2でも構わないがこの場合は1の例で説明を行う。また便宜上左シフトの量で説明を行う。2行目のデータに対しても順に1ビットシフト処理を行う。また3行目、4行目と順に行が変わる際には同様にラインシフトを行う。このラインシフトの値は1フレーム内では全て同一値である。

【0197】

このようにして図49 (A)に示す1フレームでのプリチャージオンオフパターンが形成される。

【0198】

フレームが変わる際には、前フレームの1行1列目のFRCレジスタの値からシフト処理を行った値を1行1列目に用いる。このときのシフト量をフレームシフト431と定義する。

【0199】

フレームシフトさせたレジスタを1行1列目のデータとし、1フレーム目と同様のシフト処理を行うことで、図49 (B)のプリチャージパターンが形成される。さらに次のフレームでも同様にフレームシフト431を行うと図49 (C)のパターンとなる。さらに次のフレームでフレームシフト処理を行うと、図43の第1行第1列目のFRCレジスタ値となる。この走査を順に行う。

【0200】

図49に示した3フレーム間で各画素とも3フレームに2回プリチャージがかかるようになる。またプリチャージがかかる画素のパターンを均一にすることでプリチャージのありなしによる輝度差が原因となるフリッカを低減することが可能となる。

【0201】

このことからFRCレジスタ433はプリチャージを行うフレームの割合を示しており一般にNビットのFRCレジスタに対しM個の1がある場合、Nフレームの内Mフレームでプリチャージを行うことを示している。

【0202】

また図49では単色の表示装置におけるオンオフパターンを示した。カラーの表示装置では一般に赤、緑、青の3原色の画素をあわせて1画素として表示を行っている。

【0203】

映像信号410は一般的には赤、緑、青の3原色が同一タイミングで送られてくることが多く、色ごとに図42の処理が並列に行われる。

【0204】

全ての色に対し、同一FRCレジスタ出力を参照しても良いが、フリッカの低減のためには色ごとにFRCを行うパターンを変えることが好ましい。色ごとにFRCレジスタ433を用意することも可能であるが、回路規模が大きくなる。そこで、FRCレジスタ433のどのビットを出力するかを色ごとに変えることで、プリチャージパターンが変化する。図43の例では赤が433 cを参照するならば、緑は例えば433 b、青は433 cを参照するようにする。このときの緑、青の参照位置が赤とどれだけ異なるかをGシフト、Bシフトとして表現し、1つ異なっていた緑ではGシフトが1、2つ異なっていた青ではBシフトが2ということになる。よって図42でFRCレジスタ433からFRCレジスタ選択部424への信号線426は表示色数のビットで構成される。

【0205】

図42のFRCレジスタ1は図43のようなレジスタからなり、FRCレジスタ2は、2ビット中1ビットが1で1ビットが0のレジスタからなる。この2つのレジスタを用いれば、3フレームに2回プリチャージをかける、2フレームに1回プリチャージをかけることが可能となる。

【0206】

次にFRCレジスタ選択部424について説明する。FRCプリチャージ設定信号419は映像信号410の階調に対し、どの割合でプリチャージを行うのかを決める信号で、例えば図32のような関係にするといった設定を行う信号である。419の信号によっては例えば、階調10以下では3フレーム中2回プリチャージを印加、10以上ではプリチャージしない、などの設定が可能となる。

【0207】

また図42には記載されていないが、全フレームでプリチャージをするや全フレームでプリチャージしないといった場合もある。このときは、FRCレジスタ433の出力のうちの1つを選択するのではなく、1（全フレームでプリチャージする時）や0（全フレームでプリチャージしない時）を選択することで実現可能である。

【0208】

点灯率設定信号418と、点灯率データ420が入力されているが、これは点灯率によってFRCパターンを変える場合があるために入力される。

【0209】

例えば点灯率が高い場合は図41からプリチャージをしないため、FRC選択部の出力は常に“L”レベル（プリチャージしない）となる。点灯率が低い場合には図50のような映像信号410の階調とプリチャージパターンの関係、点灯率が中程度の場合には図32の関係となるようにするといったことを行うためである。点灯率設定信号418は、この点灯率の高中低のしきい値の設定を行うための信号である。点灯率高、中、低それぞれで、プリチャージパターンと階調の関係（例えば図32）を定めるのがFRCプリチャージ設定信号419である。

【0210】

点灯率によってプリチャージのパターンを変化する必要がなければ、各点灯率でのFRCプリチャージ設定信号419の値を同一にしておけばよい。

【0211】

また、FRCプリチャージを行わない場合（全フレームでプリチャージありまたはなしの場合）にはFRCプリチャージ設定信号419により、映像信号410によらずFRCレジスタ426の値を出力しないようにすればよい。

【0212】

図51にFRCプリチャージ設定信号419と点灯率設定信号418による設定例を示す。点灯率により図51（a）、（b）、（c）のどの図を選ぶかを点灯率設定信号418により決める。例えば図51（a）は点灯率5%以下。さらに各図において階調とプリチャージするフレームの割合の関係を示す線511を決めるのがFRCプリチャージ設定信号419である。

【0213】

このようにして作成したFRCレジスタ選択部424の出力をFRC挿入手段409に入力する。FRC挿入手段409には1行前データ参照部400の出力も入力される。つまり入力階調及び1行前のデータからプリチャージするかどうかの信号と、点灯率及び入力階調からプリチャージするフレームの割合を決めた信号が入力される。両方の信号ともプリチャージを行うとなった場合にのみプリチャージを行うようにすれば、図41のフローチャートの412から415の部分が実現できる。

【0214】

次にFRC挿入手段409の出力を強制プリチャージ入力手段408に入力し、強制プリチャージ信号416との演算を行う。図41の411にもあるように強制プリチャージ信号が有効な場合には階調によらずプリチャージを行う。従って、408のブロックでは

強制プリチャージ信号 4 1 6 が有効状態（プリチャージせよ状態）の時には 4 0 9 の出力によらず出力 4 1 7 はプリチャージをするという信号を出力する。

【0 2 1 5】

映像信号 4 1 0 が 1 行目のデータに対応したときのみ強制プリチャージ信号 4 1 6 が有効状態となるようにすれば、垂直ブランキング期間による所定電流値への変化が遅くなる 1 行目にプリチャージを行うということが実現可能である。

【0 2 1 6】

映像信号 4 1 0 に対する出力 4 1 7 の値を同時にソースドライバへ転送することで、図 4 1 のようなプリチャージ電圧印加パターンをソース信号線へ印加することが可能となる。

【0 2 1 7】

シリアルパラレル変換部 4 2 7 は図 3 のソースドライバ 3 6 の入力インターフェースにあわせるために必要なものであり、各色の映像信号及びプリチャージ出力 4 1 7（色ごとに）がパラレル転送される場合には不要である。（そのままソースドライバへ出力する）

なお図 2 の構成では制御 IC 2 8 とソースドライバ 3 6 が別のチップで構成された例を示しているが、同一チップで構成した一体型のチップでも構わない。この場合、図 4 1 や図 4 2 の構成はソースドライバ 3 6 に内蔵される。

【0 2 1 8】

プリチャージ電源 2 4 の出力電圧値は電子ボリウムなどで制御できることが好ましい。所定電流を流すためのプリチャージの電圧は EL 電源線 6 4 の電圧を基準に決められるためである。図 1 2 においてソース信号線 6 0 に電流 I 2 を流そうとするとトランジスタ 6 2 のドレイン電流－ドレインゲート間電圧の関係（図 1 2（b））からソース信号線 6 0 の電位は（EL 電源線 6 4 の電圧）－V 2 となる。

【0 2 1 9】

一方で EL 電源線 6 4 は図 4 8 に示す表示パネルにおいて 4 8 3、4 8 4 の配線で各画素に供給されている。全ての画素が白表示の時には最大電流が 4 8 3 に流れ、黒表示の時には最小電流が 4 8 3 に流れる。このとき 4 8 3 の配線抵抗により白表示時には 4 8 5 と 4 8 6 の点で電位が異なる。一方で黒表示時には 4 8 5 と 4 8 6 ではほぼ等しい電位となる。つまり白表示時と黒表示時で EL 電源線 6 4 の電位が配線 4 8 3 の電圧降下により異なる。つまり同じ I 2 の電流を流すにしても、配線 4 8 3 の電圧降下量の違いによってソース信号線 6 0 の電圧が異なる。そのため 4 8 3 の電圧降下量によってプリチャージ電源 2 4 の電圧値を変化させなければ、ソース信号線の電流が変化しその結果輝度が変化するという問題が発生する。

【0 2 2 0】

EL 電源線 6 4 の電圧が異なればソース信号線 6 0 に印加する電圧も異ならせる必要がある。1 フレーム内での点灯率データを用いて電圧を変更するようにすればよい。点灯率が高いときは EL 電源線 4 8 3 に流れる電流が多くなるため、電圧降下が大きくプリチャージ電源 2 4 の電圧値を低くするように電子ボリウムを制御する。一方で点灯率が低いときは EL 電源線 4 8 3 の電圧降下が小さいため電子ボリウムによりプリチャージ電源 2 4 の電圧値を高くするようにすることで EL 電源線 4 8 3 の配線抵抗が原因となる輝度ムラをなくすることが可能となる。

【0 2 2 1】

ソースドライバ IC 3 6 において、図 2 5 のような 8 ビットデジタル信号をアナログ電流出力に変換するブロックをトランジスタで形成した場合、出力電流ばらつきは、1 トランジスタあたりのチャンネル面積と、出力に用いるトランジスタの個数により変化する（チャンネル面積またはトランジスタ個数の平方根に反比例する）。

【0 2 2 2】

同一サイズのトランジスタを（表示階調数－1）だけならべ、トランジスタの個数により階調を表示する場合、高階調部ほどばらつきが小さくなる。つまりある階調 A でばらつ

きが1%以下となる場合、階調Aよりも高階調側では必ずばらつきが1%以下となる（図52の523の点線で示すような関係となる）。

【0223】

ばらつきの許容値は1%であり、図52の523の点線では階調10以上でばらつきが1%以下となる。このときのトランジスタの構成を図53に示す。また各ビットのトランジスタサイズを図54（b）に示す。

【0224】

階調数が増えると出力に用いるトランジスタ群531及び532の数が増加するためばらつきが小さくなる。

【0225】

ここで階調30以上に注目するとばらつきは0.6%以下であり1%に対し40%以上の余裕がある。つまり階調30以上ではトランジスタの面積を1/2としてもばらつきが1%以内となる。（面積1/2の場合、ばらつきは40%増しとなる。図11参照）

そこで本発明では、ソースドライバICのチップ面積を小さくするために、高階調側のトランジスタ534のみチャンネル面積を小さくすることを考えた。

【0226】

階調30以上のときに小さいサイズのトランジスタを用いるようにするため、8ビット信号の内下位5ビットのデータに対する電流出力を行うトランジスタのサイズは変更せず、階調32以上の時に出力される上位3ビットのデータに対応するトランジスタのチャンネルサイズをゲート電圧に対するドレイン電流値が変わらないように小さくした。方法としては、チャンネル長を短くした割合と同一割合でチャンネル幅も短くすることで実現した。このときの各ビットに対するトランジスタのサイズの関係を図54（a）に示す。階調に対する出力電流ばらつきの関係を図52の実線522に示した。

【0227】

図54（a）に示すように、下位5ビット分と上位3ビット分で異なるサイズのトランジスタが用いられている。

【0228】

図54（b）でもサイズが異なっているが、これは531eのトランジスタ群は16個のトランジスタで構成され、532aのトランジスタ群は8個のトランジスタで構成され、トランジスタ数が少ないことからその分トランジスタ1つあたりの電流量を増加させる必要があるからである。この場合、そもそも532aの方が531eに比べ2倍の電流を出力できなければならない上にトランジスタ数が半分であることから、532aのトランジスタ群を構成するトランジスタ534はチャンネル長をおよそ4倍する必要がある。これによりサイズが異なっている。

【0229】

これに対し本発明では図54（b）から更に高階調部のトランジスタのチャンネル面積を小さくした（図54（a））。同一ゲート電圧に対する電流値を維持するため、チャンネル長、チャンネル幅の削減率をそろえた。チャンネル面積が小さくなる分ばらつきは大きくなる。この例ではチャンネル幅、チャンネル長とも $(1/2)^{1/2}$ としたので、面積は1/2となり、ばらつきは図52に示すように階調32以上において約1.4倍となり522で示すようなばらつきの関係となる。階調32以上でばらつきが増加しているが許容範囲内である1%以下となるため表示に影響しない。

【0230】

図2にソースドライバIC36の概要を示した。図53のトランジスタ群531及び531の並びは電流出力段23の中に含まれる。トランジスタ群はドライバIC36の全面積の内の30%を占めている。本発明の形態による図54（a）の構成では図54（b）の構成に対し、チャンネル総面積が44%削減された。これはチップ全体の13%に相当し、チップサイズが13%削減できる。これによりチップのコストが13%削減できる可能性ができ、ドライバICの単価が安くなる効果がある。

【0231】

なお、トランジスタ 1 個に流れる電流はチャネル幅に理論的には比例するが、実際にはずれが生じる。図 5 4 (b) の構成でもこの表の通りであれば、5 3 1 のトランジスタ群の電流がやや小さくなる傾向がある。階調に対する電流値の増加が比例関係とならずランブ画像を表示するところどころで段差が発生する。(この場合 3 2 階調おきに発生) そこで、実際には出力電流のシミュレーションを行い、階調に対する電流の増加が一様になるようにする。例えば 5 3 1 のトランジスタ群に用いたトランジスタのチャネル幅を 1.5 から 1.7 にすることで増加の割合が一定になるようにした。なおこのような調整は仕様プロセスにより異なるため、本発明においては理論値でチャネルサイズを記載した。図 5 4 (b) でも同様にチャネルサイズの調整が必要である。また調整の際にはトランジスタが大きくなるように調整することが好ましい。低階調部の電流が少ない場合には、低階調部トランジスタ 5 3 3 のチャネル幅を長くするか、高階調部のトランジスタ 5 3 4 のチャネル長を長くする。低階調部電流が多い場合には、高階調部トランジスタ 5 3 4 のチャネル幅を長くするか、低階調部トランジスタ 5 3 3 のチャネル長を長くする。これは、調整によりトランジスタのチャネル面積が小さくなることによるばらつきの増加を防ぐためである。理論上ばらつきが 1 % 以内に納まっていなくても、このトランジスタサイズの調整で 1 % を超えてはならないためである。

【0232】

さらにチップサイズを小さくするには、5 3 2 b、5 3 2 c のトランジスタ群のチャネルサイズを小さくすることで実現できる。この場合もチャネルサイズを小さくする方法として、チャネル長及びチャネル幅の縮小率を同一にして小さくする。小さくする限度は、当該トランジスタ群を構成するトランジスタ全てから電流を供給した場合における出力電流のばらつきが 1 % 以上にならない値である。5 3 2 b 及び 5 3 2 c のトランジスタサイズをそれぞれ小さくした場合の階調に対する出力電流ばらつきの関係を図 5 5 に示す。

【0233】

このように、入力信号の各ビットに対応するトランジスタ群の出力電流は変えずに、さらに当該トランジスタ群のみ出力した場合の出力電流ばらつきが 1 % 以内となる範囲でトランジスタ群を構成するトランジスタのチャネル面積を小さくすることで、出力電流のずれによる輝度ムラがない極力小さなソースドライバ IC を実現することができた。

【0234】

なお、図 5 5 では階調 10 以下で出力電流ばらつきが 1 % を超えているが低輝度領域であるため、視認性が低く 1 % 以上であっても表示ムラが発生しない。また階調が 1 つ変化するのに必要な電流のずれは階調 10 以下では 10 % 以下であれば所定階調から上下 1 階調ずつの階調まで変化することはないため、輝度ムラが見えないため、このような低階調部で 1 % を超えてもよい。

【0235】

この例では下位 5 ビットと上位 3 ビットでトランジスタサイズを変えた例で説明を行ったが、これによらず、例えば下位 4 ビットと上位 4 ビットなどでもかまわない。任意のビットごとにトランジスタ群のサイズを変えることができる。

【0236】

以上のようにビットに応じてトランジスタのチャネルサイズを変更してビット毎の重み付けに応じた電流源を形成した場合に、トランジスタのチャネル幅と出力電流値が正確に比例しないことからシミュレーションによりチャネルサイズを調整しチャネル幅の設計を行う。この時シミュレーションと実測が一致しない場合に設計値に比べ電流が増減し、下位ビット側のトランジスタの電流が設計値より大きくなると、図 5 6 に示すように中間調表示時に電流の大小関係が逆となる階調反転が発生する (なおこの説明では $I_{127} > I_{128}$ となっているが、 $I_{127} = I_{128}$ となっても実質 1 階調減ることから問題である。従って階調反転というのは 128 階調目の電流が 127 階調目の電流以下となることとする。)

【0237】

階調反転は中間調表示時に最も発生しやすい。中間調表示時の最も発生しやすいことを

8ビット表示時の場合において説明をする。図58に示すように階調127と階調128の間では電流の差は階調128を基準とすると0.79%しか違いがない。従ってこの2つの階調を出力する電流源のばらつきが0.79%以上あると階調反転が発生する。例えば階調128の電流出力がばらつきにより0.9%小さくなった場合(591が減った部分)、図59に示すように電流の大小関係が反転する。更に下位2ビットのトランジスタの電流が所定値より大きくなると更に輝度差が小さくなり例えば下位2ビットの出力が20%大きいときには632の電流出力となり輝度差は0.31%となる。

【0238】

一方低階調表示時、図66に示すように例えば階調3と4の間では33%の輝度差となる。出力ばらつきは2.9%(この時中間調表示時のばらつきが0.9%であることとばらつきの面積依存性から)であり、(輝度差) > (ばらつき) となり階調反転が発生しない。下位2ビットのトランジスタの出力が20%増加したとしても輝度差は10%となりばらつき2.9%に対し大きくなるので階調反転しない。

【0239】

中間調以上では輝度差は小さくなるもののどの階調でも常に階調128に対応した電流出力を持つため、128を超えた階調分の出力ばらつきのみに気をつけられればよい。階調128の電流は出力電流全体の少なくとも66%を占めるため、128を超えた階調分の出力ばらつきは、全出力電流に対しては0.34倍以下となる。これにより輝度差が小さくてもばらつきが小さくなるため階調反転が起こりにくくなる。階調131と階調132の場合を図67に示す。

【0240】

階調131と132では差が0.75%となる。従って131の電流に対し132の電流が0.75%ばらつくとも階調反転が発生することになる。全出力のうち階調128分の出力は両階調ともに存在する(672)ことからこの出力分に関してはばらつきを無視できる。671の部分においてばらつきが発生し、階調4の出力はトランジスタのサイズ比から2.9%のばらつきを持っている。しかし、671の部分は全出力に対し3%であるため、全出力に対する出力ばらつきは0.09%となる。階調差0.75%に比べて小さいため階調反転は起こらない。下位2ビットに対応する出力が20%大きくなった場合でも輝度差が0.30%となり、ばらつき0.09%に比べ小さいため階調反転しない。

【0241】

128階調以上では、出力ばらつきは(2階調間で共通しないトランジスタの出力ばらつき) × (全出力に対する非共通出力トランジスタの割合) から求められ、(全出力に対する非共通出力トランジスタの割合) が最大0.33であることから輝度差に比べばらつきが小さくなる要因である。

【0242】

図65にいくつかの階調間での輝度差と出力ばらつきの関係を示した。127階調目と128階調目の間が最も厳しい条件である。

【0243】

低階調側では輝度差が大きいため反転しにくく、高階調側では隣接間で同一トランジスタを用いて出力する割合が大きくばらつきが全体から見ると小さくなるため輝度差が小さいにも関わらず反転しにくい。

【0244】

出力するトランジスタが全て異なる(最上位ビットのみが出力)と(最上位ビット以外が全て出力)の間が一番問題である。

【0245】

そこで本発明では階調反転をなくすため、図57に示すように最上位ビットに対応する電流源241hに加え、嵩上げ用電流源572を切り替え部571を介して接続し、階調反転が発生したときには切り替え部571により嵩上げ用電流源572と電流源241hを併せて出力することで128階調目の電流を増加させ階調反転を防ぐ。階調反転していない場合には切り替え部571はグランド電位と接続され電流源241hの出力のみが出力される。

力されるようにした。

【0246】

嵩上げ用電流源 572 のトランジスタは、階調 1 の電流源 251a の 10 分の 1 以上 2 分の 1 以下の電流出力能力を持つようにサイズを設計する。これにより階調 128 の電流は嵩上げ用電流源 572 により 0.1%~0.5% の電流嵩上げを実現することが可能である。0.5% 以上の嵩上げを行う場合は全ての出力で嵩上げを行われない場合に、隣接輝度差が 1% 以上となるため表示に不具合が発生する。このため図 57 の構成では 0.5% 以下とすることが好ましい。一方嵩上げ電流の最低値は次のようなことから決まる。隣接輝度差 0.79% 及びばらつき実力 0.9% の関係から階調 127 に比べ階調 128 の電流は最大 0.1% 分小さくなる。この時でも階調反転をしないようにする必要があることから 0.1% 分の嵩上げが必要である。このことから最低でも 0.1% の嵩上げを行える必要があり電流源の最小値は 0.1% 必要となる。

【0247】

一般に N ビット表示の場合においては、嵩上げトランジスタの最小値は中間調電流値の (中間調表示時の隣接輝度ばらつき [%]) - (中間調隣接輝度差 [%]) [%] 以上 0.5% 以下の電流を出力できるように設計する。

【0248】

切り替え部 571 の接続は、半導体回路各出力の電流出力を検査後、検査結果に応じて階調反転した端子では 572 の出力を 241h の出力と接続し、階調反転していない端子ではそのままグラウンドに接続することで実現する。

【0249】

このようにすることで図 56 のような階調反転をなくし図 60 のような階調輝度特性を実現した。また図 63 の 633 に示すように嵩上げ電流源を用いることで下位 2 ビットの電流が 20% 増加したとしても階調 127 と 128 で差が 0.31% から 0.77% まで拡大でき、トランジスタの電流出力ばらつきによる階調反転を防止することが可能となった。

【0250】

下位ビットの電流源の電流値が規定より大きくなった場合、図 63 の 632 で示したように 127 階調目と 128 階調目の電流 (輝度) 差が小さくなり階調反転が起こりやすくなる。輝度差 0.31% に比べばらつきが 0.9% であると半数程度の端子で階調反転が発生する可能性がある。この場合端子毎に切り替え部 571 の接続作業を行うと手間がかかり生産性が低下する。

【0251】

そこで、図 61 に示すように嵩上げ用電流源 572 と電流源 241h の接続を切り替え手段 611 を介して行い、嵩上げ信号 612 により切り替え部 571 を制御することで外部コマンド入力により嵩上げ信号 612 を用いて 128 階調目の電流を容易に嵩上げできる構成を考えた。

【0252】

嵩上げ信号 612 は出力ごとに設定できればよいが、この場合図 69 に示すように信号線ごとの嵩上げ信号 612 の値を保持するラッチ 691 が必要である。各ラッチへの信号の分配は映像信号を分配するために用いるシフトレジスタを共用すれば 1 ビットの信号入力 692 により可能である。しかしラッチを信号線分設けるため回路規模が大きくなる問題がある。回路規模が大きくなっても良い場合もしくは微細プロセスを用いて、全体に占めるラッチ部 691 の面積が小さい場合には出力毎に嵩上げ信号を制御して嵩上げするしないを決めてもよい。なおこの信号は通常検査後には嵩上げ必要、不要の端子がわかる上、常に同じ状態にする必要があることから、出荷時にラッチ部 691 のラッチデータを決める必要がある。そのため嵩上げ信号を入力するコマンドは通常ユーザには隠しておく。更に電源投入毎に信号を入れなくてもよいよう、ラッチ部は不揮発性のメモリで構成されることが望ましい。

【0253】

そこで下位ビットに対応する電流源の電流値が大きくなってしまったことによる階調反転を救済する目的として、嵩上げ信号線 612 は全出力共通とし全出力を嵩上げすることにより階調反転を簡便に防止する。

【0254】

このときのブロック図を図 62 に示す。入力信号 12、13 によりドライバ IC に嵩上げするかどうかのコマンドを入力する。これを分配部 27 により分配し、嵩上げ信号線 612 に嵩上げするかどうかの信号を印加する。この嵩上げ信号線 612 は各出力段に分岐してつながっているため全ての出力で嵩上げをするもしくは、しないの選択が可能である。なおこのコマンドは通常 IC 検査後に IC の階調反転による不良を回避するために入力するためのものであるため通常は隠しコマンドとして持っておく。この場合嵩上げ用電流源 572 も図 57 と同様のサイズで作成する。

【0255】

更に細かな調整を行うには、嵩上げ用電流源 572 を複数個設け出力する電流源の数を変更することで更に細かく電流の嵩上げ率が調整できる。図 64 に 2 個の嵩上げ電流源を用いた場合を示す。642 に比べ 641 の電流出力量を半分とするようなトランジスタを設計しておけば、例えば下位ビットの電流が 20% 大きくなったときには 642 のみを嵩上げ出力し、10% 大きいときには 641 のみを嵩上げ出力するなど下位ビットのトランジスタの電流能力に応じた嵩上げをすることができ階調反転がなく、かつ階調飛びの少ない電流出力段を実現することができる。

【0256】

更に図 57 の配線修正による切り替え部 571 による嵩上げと、図 61 の切り替え手段による一括嵩上げを併用する方法もある。この時の出力段の構成を図 68 に示す。

【0257】

下位ビットのトランジスタの電流が大きめにでてきた場合には、大部分の出力端子で階調反転がおきやすくなるため全ての出力で階調 128 の電流を嵩上げし階調反転を防ぐ。そのため嵩上げ信号 612 により切り替え手段 611 を導通状態とする。

【0258】

一方、各電流源 241 のばらつきにより階調反転する場合には（中間調ばらつきが 0.9% で隣接階調間の輝度差が 0.78% である場合には起こりうる）、端子毎に調整を行う。反転する端子数は少ないため検査後該当する端子のみ配線修正をレーザーなどにより行う。この修正は切り替え部 571 で行い嵩上げ電流源 572a を接続するかどうか修正により決める。これにより端子毎に細かい階調電流の設定をすることが可能である。

【0259】

トランジスタの電流能力が大きくなった場合（全端子に影響）とトランジスタのばらつきの場合（端子毎に異なる）で嵩上げの仕方が異なるため、図 68 のように端子毎に調整できる機能と、全端子に対して調整できる機能を設けることにより検査後のリペアを短い時間ででき、作業効率を高めることでコスト低減することが可能である。またより多くの IC がリペアにより合格となることで歩留まりが上昇しコストが下がる利点がある。

【0260】

図 70 は電流出力段を図 73 の 736 に示すようなカレントコピア構成により形成した場合のドライバ IC の概略構成を示したものである。

【0261】

カレントコピア回路では、入力電流をスイッチ 734 及び 735 を介して駆動トランジスタ 731 に流し、流れた電流量に応じて節点 742 の電圧が決まる。この電圧を保持するために蓄積容量 732 を設け電荷を蓄積することにより電圧を保持する。入力電流を記憶した後スイッチ 734 及び 735 を非導通状態とする事で、入力電流をためておく。電流を出力する際には 733 のトランジスタを導通状態とすることにより、732 の蓄積容量に蓄えられた電荷量に応じた電流が 731 に流れ出力される。同一駆動トランジスタ 731 のドレイン電流－ゲート電圧特性を用いて入力電流を記憶し、出力するためトランジスタの特性ばらつきのよらず入力電流と同じ電流を出力できる利点がある。

【0262】

更にカレントコピア回路では入力電流を一度蓄積容量732に記憶してから出力を行うため、メモリ機能を有する。そのため入力データをかく出力端子に分配した後、データの出力タイミングをそろえるラッチ部の機能をカレントコピア回路に持たせることが可能である。これにより図70の構成においてシリアルに転送されてくる映像信号はラッチ部を使わずに各出力に分配可能となる。

【0263】

カレントコピア回路ではアナログ電流を保持することが可能であるため、映像信号をあらかじめデジタルーアナログ変換部706で階調に応じたアナログ電流である階調電流信号730に変換し、シフトレジスタ21の出力信号に応じて各出力に分配するようにしている。分配された電流を保持するための電流保持手段702に、カレントコピア回路を形成している。

【0264】

カレントコピア回路では先に述べたように入力電流を一度保持した後に入力電流に応じた電流を出力するという動作を行うことから、入力電流を記憶している期間では電流出力ができず、また電流出力を行う際には階調電流信号730を取り込むことができない。

【0265】

表示部への電流出力は画素回路において所定電流への変化に時間がかかるという問題があることから水平走査期間内においてはなるべく長い期間電流を出力し続けることが望ましい。そのためソースドライバICから電流は常に出力されることが好ましい。

【0266】

そこでカレントコピア回路構成の出力段でも常に電流を出力し続けるために、同一出力端子にカレントコピア回路を2つ設け、一方が階調電流信号730を記憶している際には、他方が電流をドライバIC外部に電流を出力する構成とした。

【0267】

出力段の回路を図73に示す。736aと736bの2つの保持回路がカレントコピア構成となっている。2つの保持回路のうちどちらを出力にし、どちらが階調電流信号730を記憶するかを決めるための信号がセレクト信号738である。セレクト信号738は1水平走査期間毎に変化し、1水平走査期間ごとに保持回路736を変えることにより映像信号に応じた電流出力が可能となる。セレクト信号738に応じて保持回路736の電流出力用トランジスタ733の状態を変えるようにすることで、出力に用いる保持回路を決めることが可能となる。

【0268】

両保持回路736とも出力を行わないようにする場合には、セレクト信号738及びセレクト信号の反転出力739ともローレベルとすることで実現する。738及び739は必ずしも逆相に入る必要はないが、両信号ともハイレベルにしてはならない。他の方法として738と739は常に逆相とし、別途イネーブル信号を設け、738及び739との論理積の結果をスイッチ733を制御する信号に入力することにより同様な動作を行うことが可能である。

【0269】

シフトレジスタ21及び電流保持手段702により階調電流信号730が各出力に分配できた。次に階調電流信号730を生成する回路について説明を行う。ロジック信号である映像信号をアナログ信号である階調電流信号730に変換するためにデジタルーアナログ変換部706を設け、映像信号に応じた電流を出力するようにした。デジタルーアナログ変換部706の回路例を図71に示す。

【0270】

映像信号の各ビットに対応した電流を外部から入力し、対応した電流（階調基準電流1～階調基準電流8）に対し、電流値に対応して階調信号711によりスイッチ712を制御することにより、階調信号711に応じた階調電流信号730を出力するような構成とした。階調信号1（711a）から順に階調信号8（711h）まで最下位ビットから最

上位ビットに対応させた場合、階調基準電流 1 (700c) の 2 倍が階調基準電流 2 (700d)、一般に階調基準電流 n の 2 倍が階調基準電流 ($n+1$) となるように、電流値を設定し入力する (ここで n は 1 以上ビット数未満の整数)。

【0271】

これによりスイッチ 712 が導通状態となっている階調基準電流 700 の和を階調電流信号 730 として出力する。

【0272】

次に階調基準電流 700 を作成し、デジタル-アナログ変換部 706 に入力する方法について説明する。

【0273】

図 78 に示すように階調基準電流 700 は階調基準電流生成部 704 により生成する。1 階調あたりの電流をどのくらいにするかを設定する基準電流 781 を元にカレントミラー構成などにより、映像信号のビットに応じた階調基準電流 700 を出力する。ここでは 8 ビット出力の場合で、階調基準電流 700 は 8 出力存在する。(階調基準電流 n の電流値) $\times 2 =$ (階調基準電流 ($n+1$) の電流値) となるような電流を正確に出力する必要があることから、ミラーを行うトランジスタ 782 の数を変えることで出力電流を変化させることが好ましい。この方法の場合、階調性は高いが回路面積が大きくなる欠点がある。一方で各階調基準電流 700 を生成するトランジスタ 782 は、各期順電流に対し 1 つずつとし、チャネル幅を変えることにより階調基準電流 1 から 8 を変化させることも可能であるが、電流がチャネル幅に正確に一致するわけでないためシミュレーションによりチャネル幅をプロセスに応じて変更する必要がある。このため、個数分だけ並べる方法に比べ階調性が低下するおそれがある。そこで、図 78 に示すように低階調部と高階調部に階調基準電流をグループ分けし、低階調部と高階調部の間ではチャネル幅を変更することで電流値を変え、低階調部間及び高階調部間ではトランジスタの個数を変更することで電流を変えるようにする。

【0274】

図 78 では、低階調部を下位 2 ビット、高階調部を上位 6 ビットとし、783 で示す点線に囲まれたトランジスタは 784 で示す点線に囲まれたトランジスタに比べておよそ $1/4$ のチャネル幅 (プロセスにより上下する -10% 以上 $+50\%$ 未満) で形成することにより、階調性を維持し回路規模の小さい階調基準電流生成部 704 を実現することができる。

【0275】

ドライバ IC に対し 1 回路であるため、階調性を高めたいときは図 80 に示すようにトランジスタ数により電流を変化させてもよい (全体に対する回路面積が 10% 以下であるため)。

【0276】

基準電流 781 は図 81 に示すように抵抗、演算増幅器などにより定電流源を構成することで実現可能である。88 の制御データにより基準電流 781 の電流値を変えることも可能である。この基準電流 781 の制御は、電力抑制、焼き付き防止、コントラストの向上に役立つ。

【0277】

以上のようにして形成された階調基準電流 700 をデジタル-アナログ変換部 706 に入力すればよいが、直接接続すると複数のソースドライバ IC 36 を接続したときに、全てのチップで 1% 以下の誤差で階調基準電流 700 を供給することが難しくなる。

【0278】

チップ毎に、基準電流生成部 703 と階調基準電流生成部 704 を設けると、図 81 の基準電流生成部 703 でのばらつきと、図 78 もしくは図 80 のカレントミラーでのばらつきの 2 乗平均のばらつきが階調基準電流 700 で発生するため、チップによってある階調の電流値が異なるおそれがあり、チップ毎に輝度ムラが発生する。カレントミラーのミラー比ずれによるばらつきを小さくするには 782、801 のトランジスタサイズを大

きくすることにより実現できるが、ばらつきを1%以下にしようとするには10,000平方ミクロン以上のチャンネルサイズが必要となる。

【0279】

小さいサイズでばらつきなく各チップに階調基準電流700を供給するには1つの表示部に対し、1ヶ所の基準電流生成部703から1ヶ所の階調基準電流生成704を用いて階調基準電流700を発生させ、各チップに分配する方法である。この概念を図72に示す。

【0280】

ソースドライバ36aにより発生した階調基準電流704を、36aを含めた全てのチップに供給することにより、各チップでばらつきのない電流が供給される。ここで、階調基準電流700は2つ以上のソースドライバIC36に同時に供給されないようにする必要がある。電圧と異なり電流の場合複数のドライバに接続すると分流され、1つのドライバICに流れる階調基準電流値が異なってしまう。そこで、複数のドライバIC36が同時に階調基準電流700を取り込まないようにデジタルアナログ変換部706が持つスイッチ712を利用して、ある1つのICが映像信号に応じた階調電流信号730を生成しているときには他のICではスイッチ712全てが非導通状態となるような構成にすることを考えた。

【0281】

階調電流信号730が必要なのは、電流保持手段702に電流を供給するときでシフトレジスタ21の出力のうちの1つに対し取り込むように信号を出している時である。つまりスタートパルス16が入力され、カスケード接続された次段IC36に対しキャリア出力701からパルスを出力するまでの期間が、階調電流信号730を必要とする期間である。

【0282】

そこで、シフトレジスタ21が出力を行っている期間以外ではデジタルアナログ変換部706のスイッチ712は階調信号711によらず常に非導通状態とする。これを実現するためにチップイネーブル信号生成部707を設け、シフトレジスタ動作時以外ではスイッチ712は常に非導通状態とするようにする。チップイネーブル信号生成部707は、スタートパルス16が入力されて、キャリア出力701が行われるまでの間のみパルスを出力し映像信号をアナログ電流に変換することを許可するようにする。正確にはシフトレジスタ出力719が同一チップ内で出力されている期間である。スタートパルス16とシフトレジスタ出力719、キャリア出力701とシフトレジスタ出力719の関係は入力データとスタートパルス16の関係やシフトレジスタの構成21によって変わる可能性があるため、スタートパルス16とキャリア出力701から期間を調整してイネーブル信号821を出力するようにする。イネーブル信号に対応したデジタルアナログ変換部706の回路図を図82に示す。チップイネーブル信号821はスタートパルス16が入力されてからキャリア出力710を行うまでの間、ハイレベル状態となり、階調信号711に応じて階調基準電流700が階調電流信号730に出力される。それ以外の期間ではチップイネーブル信号821がローレベル信号となるため、常にスイッチ712が非導通状態となり電流は供給されない。

【0283】

1水平走査期間でのあるドライバIC(チップ1)のチップイネーブル信号821、セレクト信号738、階調電流信号738、階調信号711のタイミングチャートを図83に示す。

【0284】

セレクト信号738はタイミングパルス29により1水平走査期間毎に変化し、1出力に対し2つある保持回路736のどちらに階調電流信号738を記憶させ、他方が記憶された電流を出力するかを決める。期間831aでは保持回路A(736a)から電流を出力し、保持回路B(736b)に階調電流信号730を記憶させている。

【0285】

階調電流信号730への記憶は1出力ずつ順に行い、シフトレジスタ出力719によりどの出力へ記憶させるかを決めている。更に複数のドライバICに基準電流を分配できる配線としていることから、分流されることを防ぐためシフトレジスタが動作している期間のみチップイネーブル信号821により、デジタルアナログ変換部706が動作し、階調電流信号738が流れる。チップ1のチップイネーブル信号821はシフトレジスタがチップ1で動作している期間である832aの期間でのみハイレベルの信号となり、階調電流信号738が流れている。832bの期間（チップ1以外のシフトレジスタが動作中）のときは、チップイネーブル信号821がローレベルとなり階調電流信号738は流れない。そのため階調基準電流信号700は常に1つのドライバICにしか入力されないため、図72のように複数のドライバICに分岐して配線することが可能となる。カレントミラーなどによる分配に比べ、時間で区切って分配するため正確に同一電流を供給できる。

【0286】

カレントコピアを各出力に設け階調電流を各出力に分配する方法では、駆動トランジスタ731の特性ばらつきによらず、記憶した電流と同じ電流を出力することが可能であるため、出力ばらつきが起りにくい。しかし、「突き抜け」と呼ばれる現象により出力電流がばらつくおそれがある。

【0287】

図73の保持回路においてゲート信号線741の信号をハイレベルにすると、階調電流を記憶する。例えば白階調の電流を記憶するとすると、図74に示すように、駆動トランジスタ731にドレイン電流は白階調電流（ここで I_w とする）となる。そのとき駆動トランジスタ731の電流-電圧特性（図75）から節点742の電圧は V_w となる（期間747）。

【0288】

期間747が終了し、保持回路736に電流を記憶するのを終えるためゲート信号線741はローレベルに変化する。この時ゲート信号線741電圧の低下がトランジスタ735aのゲート容量を介して容量結合により節点742の電圧も V_G だけ低下する。これにより駆動トランジスタ731のドレイン電流も I_w から I_G 分だけ低下する。

【0289】

この「突き抜け」により、出力電流が端子により変化するおそれがある。例えば図76の765、766に示すような電流-電圧特性を持つ駆動トランジスタ731があるとする。節点742の電圧つまり駆動トランジスタ731のゲート電圧が突抜により V_G 変化すると、765の駆動トランジスタではドレイン電流が I_{w1} となり、766の駆動トランジスタではドレイン電流が I_{w2} となり、この電流が出力信号線737を介して外部に流れ、出力電流にばらつきが発生する。 I_{w2} と I_{w1} の差が2つの平均電流に対し1%以上になると輝度ムラとして表示品位に影響を与える。

【0290】

節点742の電圧変化量 V_G はトランジスタ735のゲート容量を C_{gs} 、蓄積容量732の容量を C_s 、ゲート信号線741の振幅を V_{ga} とすると、 $V_G = V_{ga} \times C_{gs} / (C_{gs} + C_s)$ で表される。

【0291】

V_G を小さくするには、 C_{gs} もしくは V_{ga} を小さくするか、 C_s を大きくする。 C_s を大きくする方法はチップサイズが大きくなることから現実的には難しい。また V_{ga} は基本的にアナログ電源電圧分の振幅を持つ。この電圧を下げると、出力端子の電圧振幅が低下するため、出力可能な電流のダイナミックレンジが低下する。またゲート信号線741のみハイレベル電圧を低下させると、このゲート信号線741のための電源が必要となるため電源数が増加する。電源数の増加は電源回路の増加につながるためこの方法も実現することが難しい。

【0292】

そこで本発明ではトランジスタ735のゲート容量 C_{gs} を小さくすることを考えた。単にトランジスタ735のサイズを小さくした場合では、オフ時のリーク電流が増大し蓄

積容量732に保持された電荷がトランジスタ735を介して移動することにより、節点742の電位が変化し所定電流を流せなくなる問題が発生する。

【0293】

トランジスタ735を少なくとも2つ以上に分割し、そのうちの蓄積容量732に最も近いトランジスタを小さくすることを考えた。図77に2つに分割したときの電流保持手段702の回路を示す。

【0294】

トランジスタ735を2つに分割し、775と772の2つの構成とした。トランジスタ775に比べ772はチャンネルサイズが小さくなっている。またそれぞれのゲート電極につながる信号線は別になっており、ゲートイネーブル信号771の制御により、トランジスタ772の方が775に比べて早く非導通状態となるようにしている。タイミングチャートを図79に示す。

【0295】

複数のトランジスタにすることの利点は、2つのトランジスタのゲート信号線の波形を異ならせ、蓄積容量732に近いトランジスタ772をまず非導通状態とし、その後775を非導通状態とすることで、「突き抜け」はトランジスタ772のゲート容量 C_{g1} と蓄積容量 C_s 、ゲート振幅 V_{gate} によることとなり、 $C_{gs} > C_{g1}$ となることからVG自体を小さくすることができる。さらに、蓄積容量732の電荷を保持するために772が完全に非導通状態となった後、775が非導通状態となるようにゲート信号線741をローレベルに変化させる。775はリーク電流を小さくするためトランジスタのチャンネル幅／チャンネル長の値が大きくなるように設計される。2つのトランジスタを直列に接続することでリーク電流が少なくなる利点がある。更にトランジスタ775と蓄積容量732に間にトランジスタ772が非導通状態となって挿入されているため、775aのゲート信号による、節点742への「突き抜け」が発生しないという利点がある。

【0296】

このように、駆動トランジスタ731のゲート及びドレイン電極間に接続されるトランジスタを複数個に分割し、最も蓄積容量732に近いトランジスタはチャンネルサイズを小さく作成した上に他のトランジスタに比べ早く非導通状態とすることで、電荷のリークなどの問題がなく突き抜け量を減らすことを実現できる。

【0297】

更に駆動トランジスタ731の(チャンネル幅)／(チャンネル長)(以降 W/L とする)に関しても W/L の値が小さくなることが好ましい。

【0298】

図84に電流－電圧特性を示す。 W/L の値が小さくなればなるほど傾きが小さくなり、階調電流信号730を記憶させた後「突き抜け」によりVGだけ駆動トランジスタ731のゲート電圧が低下したときの電流量の低下は841の曲線の方が842の曲線に比べて大きい。そのため「突き抜け」によるドレイン電流の低下を抑えるため、駆動トランジスタの W/L を0.5以下とすることが好ましい。この場合、低下量は設定電流(I_w)に対し1%以下となる。下限値はチャンネル幅の最小作成寸法、チャンネル長を延ばすことによるチップ面積の増大の影響から0.002以上である必要がある。

【0299】

以上のようにカレントコピャ回路を用いた出力段を形成することにより出力ばらつきの小さいドライバICを実現させた。

【0300】

大画面パネル向けのソースドライバにおいては、映像信号が高速に転送される必要があるため信号線周波数が高くなり、その結果電磁波ノイズが放出される問題がある。また、テレビ向けなどでは入力される信号線ビット数も増加するため、信号線が多数になるという問題もある。

【0301】

そこで映像信号を小振幅信号伝送することとした。図85にその時のソースドライバ8

52、ゲートドライバ851、コントローラ854と電源モジュール853の接続を示す。このうち小振幅信号伝送を行うのは信号線周波数の高いクロック858、同期信号857、映像信号線856である。

【0302】

映像信号線856の伝送形式を図86に示す。1水平走査期間864内に画素に出力されるデータが転送される期間（データ転送期間865）とブランキング期間（866）を形成する。なおブランキング期間は必ずしも存在する必要はない。

【0303】

データ転送期間865は、パネルのソース信号線数（カラーパネルの場合は信号線数/色数（一般には3色））に分割される。分割された期間を期間862とする。この期間862内で赤緑青の各色データ（861）及び階調に応じた電圧印加を水平期間のはじめに挿入するかどうかを決める1ビットのプリチャージフラグ（862）が映像信号線856を介して転送される。映像信号データ861及びプリチャージフラグ862は、転送信号レートや、信号線数の制約により全ビットを一斉にパラレル転送する場合から1ビットずつシリアルに転送する場合まで任意の方法で転送することが可能である。

【0304】

また大型用電流ドライバにおいては、パネルサイズが大きいことによるソース信号線浮遊容量の増加や、画素数の増加による水平走査期間の短縮ということにより1水平走査期間内で電流が所定の値まで変化できない問題が顕著となる。そのため電流により所定階調を表示する前に一度電圧により所定階調付近までソース信号線の状態を変化させてから、電流により所定電流にまで変化させることが必須となる。

【0305】

ソースドライバの構成例を図89に示す。ここでのソースドライバは図85のソースドライバ852を示している。映像信号はクロック及び同期信号と共に小振幅信号伝送されるため、ソースドライバ側でレベル変換するための差動入力レシーバ893に入力される。映像信号をCMOSもしくはTTLレベルの階調データ386に変換する。階調データ386はシフトレジスタ及びラッチ部384とプリチャージ電圧変換部884に入力される。階調データ386はシフトレジスタ及びラッチ部384により各出力に分配され、分配された階調データは電流出力段23により階調に応じた電流量に変換される。これにより階調に応じた電流出力を行うことが可能となる。一方、階調データは同時にプリチャージ電圧変換部884に入力される。プリチャージ電圧変換部884では図88に示すような回路構成により、階調データに応じた電圧が信号885により出力される。プリチャージ値変換部882の変換マトリクスと抵抗素子883の値により出力される電圧を変化させることが可能となる。

【0306】

電流書き込みを行う期間における画素とソースドライバ間の等価回路は図12(a)に示す回路であった。このとき白表示時の電流を I_3 、黒表示時の電流を I_1 とすると、プリチャージ電圧出力の変動範囲は図12(b)から V_3 から V_1 までの範囲となる。 V_3 及び V_1 の値は画素の駆動トランジスタ62のチャネルサイズにより変化し、例えばチャネル幅が狭くなるほど V_3 と V_1 の差が大きくなる。パネル（画素トランジスタの構成）によって異なる電圧値が出力できるように本発明では図88の883に示す抵抗素子を2つ外付けで配置し、抵抗値を任意に設定できるようにすることで、様々なパネルに対する電圧出力を可能とした。一般に赤、緑、青で有機発光素子の電流-輝度特性が異なることから、 I_1 、 I_3 の値が色ごとに異なり、その結果として V_1 、 V_3 も色ごとに異なる。従って図88に示すプリチャージ電圧変換部884は3回路分ソースドライバに必要である。外付けの抵抗値が色ごとに異なる。図85及び図89では1回路の記載であるが、実際には赤緑青の3回路分が存在する。

【0307】

以上のように階調に応じて出力される電圧はつぎに分配部及びホールド部383により各出力に分配される。これにより各出力には階調に応じた電流と階調に応じた電流が分配

された。電流と電圧のいずれを出力するかを電流電圧選択部 385 により選択する。

【0308】

電流電圧のいずれを選択するかはプリチャージ電圧印加判定部 56 により決められる。プリチャージ電圧印加判定部 56 はプリチャージパルス 451 とプリチャージイネーブル 895 により判定を行い、プリチャージパルス 451 が入力され、プリチャージイネーブル 895 がプリチャージを行う信号を出力した場合にのみ電圧を印加するようにする。

【0309】

これにより、図 90 の出力 901 に示すように、階調データ D_n (n は自然数) に対応する電圧を VD_n 、対応する電流を ID_n とすると、プリチャージ判定信号 383 がハイレベルとなりプリチャージをするというときには、1 水平走査期間内で VD_n が出力された後、 ID_n が出力される。(VD_n 印加期間はプリチャージパルス 451 のパルス幅による) 一方でローレベルの時には、 VD_n は出力されず、 ID_n のみが 1 水平走査期間の間出力される。(電流出力か電圧出力かの大まかなタイムチャートを図 47 に示す) プリチャージ判定信号 383 を利用することで、所定階調値に対応する電流まで変化しにくい低階調部では、電圧によりまず大まかにソース信号線の状態を変化させた後に、電流により所定電流値までソース信号線を変化させる。一方で、高階調部や、複数行同じ階調が連続して表示される場合の 2 行目以降の行においては、高階調部ではソース信号線が所定電流値にまで容易に変化できること、複数行連続の場合にはソース信号線の状態が変化する必要がないため、電圧により所定階調値まで変化させる必要がないため、プリチャージ判定信号 383 によりプリチャージを行わないようにするという制御が可能となる。(この状態で電圧により変化させると、画素回路の駆動トランジスタ 62 の特性ばらつきによる輝度ムラが発生するおそれがあるため電圧を印加しない方がよい) プリチャージ判定信号 383 はこのようにソース信号線の状況に応じてプリチャージを行うかどうかを決められる利点がある。そのため映像信号線 856 で送るデータ量が各色で 1 ビットずつ多くなっても転送する必要がある。

【0310】

プリチャージパルス 451 はプリチャージ期間をコマンド線 847 によりソースドライバに入力し、プリチャージ期間設定値に応じてプリチャージパルス 451 のパルス幅を変更できるようにしている。これにより、画面サイズに応じてプリチャージに必要な最低限の時間で電圧出力を行い、所定輝度にする電流出力期間をなるべく長くすることで、電圧による設定で発生する駆動トランジスタ 62 による特性ばらつきの輝度ムラ補正をしやすくする。コマンド線 847 の信号線数を少なくするため図 87 に示すように、1 ビットのデータをシリアル転送によりソースドライバに送る構成とした。ソースドライバに必要なコマンドは、プリチャージ期間設定 872 の他、基準電流値を変更するための基準電流設定 871 とドライバ出力イネーブル信号のみである。これらの信号は頻繁に書き換えられることはなく、頻繁に行っても 1 水平走査期間内で 1 回の書き換えでよい。図 87 の例では全部で 15 ビットであり、ソースドライバのシフトレジスタ用のクロック 871 が 1 水平走査期間内に変化する時間に比べてもゆっくりでよいため、電磁波ノイズの影響もなく信号伝送が可能である。そのため信号線数は 1 本でよい。また、コマンド線 847 に流れるデータの判別も、例えばタイミングパルス 849 の次のクロックから 8 ビット分上位から下位ビットの順で基準電流設定 871、次にプリチャージ期間設定 872、最後に出力イネーブル信号とすることでコマンドの判別線(アドレス設定)も不要である。これにより少ない信号線数で、ソースドライバの設定が可能である。なお基準電流設定信号が入力される基準電流生成部 891 は電子ボリュームにより基準電流が変更できるような構成となっており、設定信号により、電子ボリューム値が変化することで基準電流が変化する(図 8 に構成例を示す)。

【0311】

映像信号が各色偶数ビットで構成される場合(例えば各色 10 ビットの計 30 ビット)には、各色にプリチャージフラグ 862 が 1 ビットずつ足されるため全ビット数の合計は必ず奇数ビットとなる。(例の場合 33 ビット) 低振幅信号伝送を行う場合にはたいがい

配線はツイストペア線で送られる。33ビットの信号線を送る場合、転送速度がドライバと同じであるときには66本の線が必要となる。これでは配線数が多いため、通常転送速度を、ドライバのクロックに対し一定倍で転送し、その分配線数を削減している。例えば2倍速で送る場合、1回の転送で17ビットずつ転送すると34ビットを転送できる。このうち33ビットにデータを入れることでデータを2倍速転送している。しかしながら実際の転送能力34ビットに比べ1ビット分ブランクのデータを送っていることになる。同様に偶数倍速で転送する場合には奇数ビットのデータでは必ず1ビット分ブランクのデータが送られることとなり、信号線の利用効率が低いことがわかる。つまり1ビット分データが増加しても、転送レート（クロックの倍速）、信号線数に影響を及ぼすことはない。

【0312】

そこで、本発明では、赤緑青の各映像信号とプリチャージフラグにデータ／コマンドフラグ911を足すことにし、このデータ／コマンドフラグ911の値が、例えば1のときには映像信号とプリチャージフラグが転送され、0のときにはソースドライバの各種レジスタ設定を行うというようなことをすることが可能である。図91(a)にデータ転送、図91(b)各種レジスタ設定時の各ビットの構成を、図92に、データ転送及び各種レジスタ設定の転送タイミングを示す。1水平走査期間ないで、各色の映像信号及びプリチャージフラグを全て転送した後のブランキング期間を利用して、データ／コマンドフラグ911によりソースドライバの各種レジスタ設定を行うようにした。ここでは、図91(b)に示すように、基準電流の設定とプリチャージ電圧を印加する期間を設定することとしている。

【0313】

このようにすることで、図85のコマンド線847は不要となり信号線数を削減することが可能となる。

【0314】

ソースドライバのブロック図を図93に示す。映像信号線856からコマンドデータと映像信号を分離するため、低振幅信号をCMOSレベルに変換するための回路である映像信号・コマンド分離部931が入ることが図89の構成と異なる点である。

【0315】

以上のようにすることで映像信号線と同期してプリチャージフラグを転送し、かつ各種レジスタ設定を行う必要があるソースドライバICにおいて、映像信号線とプリチャージフラグもしくは映像信号線、プリチャージフラグと各種レジスタ設定を同一信号線を用いて低振幅信号により高速転送を可能とした。これにより、プリチャージフラグに必要な配線、各種レジスタ設定用の配線数を削減することが可能となるうえ、高速転送時の電磁波ノイズ低減することが可能となった。

【0316】

小型用途の表示パネルにおいては、モジュール配置の空間的な制約が発生し、パネル外部へ引き出す信号線数を極力少なくする必要がある。大型パネルにくらべ表示ドット数が少ないことから映像信号線の転送レートは低い。そこで図94及び図95に示すように映像信号線856に階調表示用のデータ（赤緑青の各色データ、ここではRデータ、Gデータ、Bデータとする）とその階調表示データに対し、プリチャージを行うかどうかを判定するプリチャージフラグ862を多重するのに加えて、さらにゲートドライバ制御用データ951を送信する。ゲートドライバA(851a)とゲートドライバB(851b)両方の制御に必要な信号線を送信する。送信する信号は、シフトレジスタ動作のクロック、スタートパルス、出力イネーブル信号、及びシフト方向を決める信号である。出力イネーブル信号は数 μ 秒単位で信号線状態を変化させることがあるため、図96においてデータ転送期間962ばかりでなく、ブランキング期間963でもゲートドライバ制御用データ951を送信する。そのため図95(b)に示すようにソースドライバの設定信号に加えて、ゲートドライバ制御データ951を転送するようにした。これによりパネルから引き出される信号線は、電源線の他、最小で2ペアのツイスト線と、3本の信号線にて構成することが可能となる。

【0317】

信号線数を減らすと、転送レートが上がるため、送信側コントローラ854につけられるクロック発生部の消費電力が増大する。一般に小振幅伝送を行う場合の電力はほとんどが、クロック発生部で消費される電力である。そこで、低電力化が要求される機器では、映像信号線856に用いられるツイスト線の本数を多くして、転送レートを下げることで消費電力を低下させる。(信号線で消費される電力はクロック発生部で消費される電力の10分の1から20分の1程度である)図96の964で示される期間に送る図95(a)のデータ列を、シリアルで順に送るか、映像信号線856の本数に応じて一部もしくは全てをパラレルで転送するようにすればよい。

【0318】

このようにして、小振幅伝送された映像信号線856のデータをソースドライバ852にて分離する。ソースドライバ852の内部ブロックを図98に示す。クロック858と映像信号線856、スタートパルス848からクロック858から作成したソースドライバクロック871に同期した階調データ386、プリチャージ判定信号383及びゲートドライバ制御線941を出力するための映像信号・コマンド分離部931を持つことが特徴となる。ゲートドライバ制御信号は図95に示すように映像信号及びコマンドに対応して必ず送信されているため図97の用にソースドライバクロック871に同期した信号に復調することが可能である。このようにすることで、ゲート信号線をパネル外部に引き出す必要がなくなり、信号線数が少ない表示パネルが実現可能である。またソースドライバクロック871に同期して出力することで、ソースドライバとゲートドライバのタイミングがあわせやすくなる利点がある。またコントローラ854からゲートドライバ851への制御線が不要となることからコントローラ854の出力端子数が少なくなり、より小さなパッケージでコントローラ851を作成できるようになる。

【0319】

図98の構成は図93の構成に比べ、プリチャージ電圧を発生出力するブロックが異なる。図93では映像信号に応じた電圧を生成しアナログラッチを用いて各出力に分配したが、図98では、電圧設定線986により決められるプリチャージ電圧発生部981の複数の電圧出力を各出力段に分配し、プリチャージ電圧選択及び印加判定部982により複数の電圧のうちどれを出力するか、もしくは電流のみの出力を行うかを判定するようにする。これにより分配部及びホールド部383は不要となる。大型パネルに比べ、小型パネルにおいては1水平走査期間が長いこと、ソース信号線の浮遊容量が小さいことから、所定電流値が書き込みやすい。そこで、本ソースドライバでは電流のみでも書き込みが可能な高階調部では電圧を印加しないことを前提に発生電圧値の数を少なくし回路規模の低減をはかった。この例では3値の電圧出力とした。必要に応じて電圧値の数は1から7程度まで変えてもよい。

【0320】

映像信号のデータに応じたプリチャージ電圧出力の方法を説明する。映像信号線856から図95(a)の方法により映像信号とプリチャージフラグが対になって送信される。カラーパネルの場合には赤緑青それぞれ1対ずつ送信される。それぞれ同一の方法によりプリチャージを行うためここでは赤の信号で説明を行う。対になって送信されるRプリチャージフラグ862aとRデータ861aは映像信号・コマンド分離部931に入力される。ここでCMOSレベルに変換され、それぞれプリチャージ判定信号383及び階調データ386となる。1画素ずつ順に送られてきた信号を各出力に分配するためシフトレジスタ及びラッチ部384に入力される。分配後、階調データ386は階調データ線985を介し電流出力段23に入力され、階調に応じた電流を104から出力する。一方、プリチャージ判定信号383はプリチャージ判定線984に出力される。プリチャージ電圧選択及び印加判定部982では図100に示すようにプリチャージ判定線984及びプリチャージパルス451によりデコード部1001及び選択部1004を制御し、階調電流104を出力するか、プリチャージ電圧983のいずれか1つを出力するか判定する。ここでは4つの入力のうちから1つの信号を選ぶことから、プリチャージ判定線984は2ビ

ット幅が必要である。一般にプリチャージ判定線 984 のビット数を N (N : 自然数) とすると、 2^N の値が (プリチャージ電圧数 + 1) 以上となるようなビット数が必要となる。

【0321】

プリチャージパルス 451 は図 47 の 473 に示すように、1 水平走査期間内で電圧出力期間を決めるための信号である。従って、プリチャージ判定線 984 によりいずれかのプリチャージ電圧 983 を出力する際でもプリチャージパルス 451 入力期間のみ電圧が出力される。

【0322】

図 101 にプリチャージパルス 451 及びプリチャージ判定線 984 と出力 1005 の関係を示す。これによりプリチャージ判定線 984 に入力する信号をコントローラから制御することにより、映像信号に対応したプリチャージ電圧を出力する期間を設けることが可能となる。

【0323】

プリチャージ電圧は、プリチャージ電圧発生部 981 により生成される。内部回路の構成例を図 99 に示す。各電圧は抵抗分割により生成される。(983 出力には一般的にはオペアンプが接続される) V_{p1} は抵抗素子 992a 及び 992b により決められる。一方 V_{p3} は発光色により必要な電流値が異なることから色ごとに電圧が変化できる構成とした。抵抗素子 997 及び電圧選択部 994 を用いて、 V_{s1} から V_{s4} のいずれかの電圧が選択できるようにしている。これは図 6 のような画素回路を持つ表示装置において、ソース信号線電流 (= EL 素子 63 に流れる電流) とソース信号線 60 の電圧の関係は、図 102 の駆動トランジスタ 62 の電流-電圧特性上に一致するため、緑と青で EL 素子の発光効率が異なることによる 1 階調あたりの電流ずれは、ソース信号線電圧のずれとしてあらわれる。プリチャージ電圧を必要とする 0 から 2 階調で考えると、青は緑に比べ発光効率が低いことからたくさんの電流が必要となり、同じ 2 階調目でも青は 1021 の点、緑は 1022 の点となる。これにより電圧値も異なる。電圧設定線 986 により電圧選択部 994 を制御し、例えば 994c は V_{s4} (995c) を選択し、994b は V_{s1} (995a) を選択することで、図 102 のような色によってプリチャージ電圧値を変更させることが可能である。駆動トランジスタ 62 の特性に合うような 997、998 の抵抗値を決めることで所定の電圧を発生させることが可能である。電圧設定線 986 は外部から値を設定でき、図 95 (b) に示すようにコマンド期間でプリチャージ電圧設定 953 を入力し、映像信号・コマンド分離部 931 により映像信号と分離して電圧設定線 986 を取り出せるようにした。これにより色ごとに異なる電圧設定を行うのに際し、新たに外部信号線の数を増やさなくても実現できるようにした。図 98 ではプリチャージ電圧 983 は 3 本のみ記載されているが、これは単色での例を示したものでマルチカラーの場合にはプリチャージ電圧 983 は色ごとに 3 本、計 9 本必要となる。プリチャージ電圧選択及び印加判定部 982 の電圧入力 3 本である。出力毎に表示色はきまっているため、出力する色に対応した電圧 3 本を入力すればよいのである。

【0324】

なお 8 つ以上の電圧値が必要な場合では、図 100 のデコード部 1001 と選択部 1004 の回路規模が大きくなることから、図 89 の回路構成の方がよい。

【0325】

図 95、図 98 もしくは図 91、図 93 の構成にするかはパネルサイズ及び画素数からどちらを選択するか決めればよい。

【0326】

これにより、電流及び電圧出力が可能なソースドライバ IC を少ない信号線数で実現可能である。

【0327】

電流ドライバ IC では特に低階調部で出力電流値が少ないことによるソース信号線浮遊容量の充放電不足から画素に書き込まれる電流の変化が遅いことが問題である。電流が変

化するのに必要な時間 Δt は $\Delta t = C \times \Delta V / I$ (ここで C はソース線容量、 ΔV はソース線電圧変化量、 I はソース信号線に流れる電流である) で表されるため特に低階調ほど変化に時間がかかることがわかる。また白から黒、黒から白への変化では黒から白への変化の方が時間がかかることがわかった。

【0328】

例えば白表示時 10 nA のソース信号線電流を流し、黒表示時には 0 nA のソース信号線電流とすると、白から黒へのソース信号線電流の変化の様子は図 104 に示される波形となり、黒から白へのソース信号線電流の変化は図 105 に示される波形となった。

【0329】

QCIF+ (176×220 画素) のパネルで 1 フレームを 60 Hz で走査する場合に、1 水平走査期間はおおよそ 70 μ 秒である。初期状態から 70 μ 秒での変化は、白から黒では図 104 に示すように目標に対し 94 % まで変化しているのに対し、黒から白では図 105 に示すように目標に対し 5 % しか変化できていない。

【0330】

10 nA と 0 nA 間での変化にこれほどまでの差がでるのは、ソース信号線電流に対するソース信号線電圧の値の変化が非線形変化となるためである。ソース信号線電流と電圧の関係を図 106 に示す。電流電圧の関係は駆動トランジスタ 62 の電流電圧特性 (1063) により決まり、ソース信号線の電流に応じて、1063 の曲線に対応する電圧がソース信号線電圧値となる。電流変化に要する時間の式 $\Delta t = C \times \Delta V / I$ において、黒から白への変化時には $I = 10$ nA、白から黒への変化時にはソースドライバの電流は 0 であるが、駆動トランジスタが 10 nA の電流を供給しようとするため初期状態では同様に $I = 10$ nA となる。すると Δt が 70 μ 秒と同じであるときには必然的に ΔV がほぼ等しくなることがわかる。10 nA の状態から ΔV だけソース電位が上昇する場合と、0 nA の状態から ΔV だけソース電位がさがる場合では、曲線 1063 の特性から電流変化量が全く異なる。電位が上昇する方向では 1061 に示すように 10 nA から 0.6 nA まで低下するのに対し、電位がさがる方向では 0 nA から 0.5 nA までしか変化しない。その結果として、図 104 及び図 105 に示すような電流変化となる。

【0331】

ここでは 10 nA と 0 nA の間の変化を例として説明を行ったが、任意の階調の組み合わせにおいても、同様に高階調から低階調への変化の方が、低階調から高階調への変化よりも早い。

【0332】

そこで本発明では、変化速度が遅い低階調から高階調への変化を早くするための方法を考案した。

【0333】

変化を早くするためには、ソース信号線容量を小さくするか、電圧変化量を小さくするか、電流を大きくする必要がある。ソース信号線容量はパネルサイズにより決まるため変化できない。また電圧変化量を小さくするには駆動トランジスタの電流電圧特性を変更するしかなく、具体的にはトランジスタのチャネル幅を長くするかチャネル長を短くするしかない。チャネル幅を長くすると、トランジスタサイズが増大し、1 画素分の面積が小さい小型高精細パネルでは対策できない。一方、チャネル長を短くするとアーリー効果がより大きく発生し、書き込み時と EL 発光時 (図 7 (a) と図 7 (b) の期間) で駆動トランジスタ 62 のドレイン電圧が異なると、アーリー効果によりそれぞれの場合においてドレイン電流値が変化するという問題が発生するため、チャネル長を短くすることができない。そこで、ソース信号線電流を大きくすることを考えた。

【0334】

図 108 に、ある 1 画素に電流 I を書き込むときの本発明によるソースドライバ電流出力波形を示した。水平走査期間のはじめ 10 μ 秒にわたって所定電流の 10 倍の電流を流す期間を設けたことが特徴である。10 倍の電流を流すことで例えば図 107 に示すように電流の変化は従来の 1072 から 1071 の用に変化するようになり、70 μ 秒での所

定電流書き込みが可能となった。このようにソース信号線に流す電流を増加させる期間を 1 水平走査期間のはじめに設けることで電流値の変化が早くなり所定電流を書けるようになった。

【0335】

電流を所定値の 10 倍して出力するとなると、所定電流の 10 倍の値を計算する必要がある上、ソースドライバ側でも 10 倍の電流が流せるような機能を設ける必要がある。これには演算回路が必要になったり、ソースドライバの電流出力段の電流源を 10 倍分増加させなければならず回路規模が大きくなるという問題が発生する。また、表示色によって 1 階調あたりの電流値が異なる場合には階調毎に倍率を変化させるということも必要となってくる。そのため処理が複雑となる。

【0336】

そこで本発明では、低階調から高階調への変化時が変化しにくく、さらに低階調でも階調 0 が最も変化がゆっくりとなることから、階調 0 から次の階調へ変化させるのにどれだけの電流があれば 1 水平走査期間内に変化可能であるかを調査し、その電流値（ここで I_{p1} とする）を 1 水平走査期間のはじめに印加した後所定電流を印加することにより 1 水平走査期間内で所定電流値に変化できるような構成とした。所定階調値が I_{p1} よりも大きい場合には、 I_{p1} の電流を流す期間でも所定階調電流を流すようにすることで、全階調領域にわたって、階調 0 から所定階調までの電流を 1 水平走査期間内に書き込むことが可能となった。この場合には、映像信号がある階調未満の場合にのみ I_{p1} を挿入する期間を設けるとすればよい。乗算器は不要である。また出力段においても I_{p1} を出力する電流源を 1 つ各出力に設けるだけでよい。概念を 103 に示す。階調表示用電流源に加え電流出力 104 にプリチャージ用の電流源 I_{p1} (1033) を設ければ実現できる。この電流 I_{p1} は所定階調まで変化する速度を速めるだけの目的で使われるため隣接端子間でばらつきがあってもよく、そのため階調表示に用いられる電流源を構成するトランジスタに比べて同じ電流を出力するにもトランジスタ総面積を小さく実現することが可能である。

【0337】

また、この電流 I_{p1} はソース線容量、画素トランジスタの電流電圧特性により最適値が決まり、EL 素子 63 の発光効率には依存しない。そのため各色とも共通の電流値が入ればよく、色ごとに個別調整する必要がなく、小さな回路で構成可能となる。

【0338】

図 109 に水平走査期間のはじめに I_{p1} を出力する機能を設ける場合におけるソースドライバ IC の構成を示す。ここで水平走査期間のはじめに出力する I_{p1} の電流をプリチャージ電流と呼ぶこととする。プリチャージ電流を発生するためのプリチャージ基準電流発生部 1092 及びソース信号線に出力するかどうかを判定するプリチャージ電流出力段 1094、プリチャージ電流の期間を設定するパルス発生部 1097 を設けたことが特徴である。

【0339】

プリチャージ電流を出力するかどうかはプリチャージ判定信号 383 により決められる。プリチャージ判定信号 383 は階調データ 386 に同期して送信されるため、1 画素毎にプリチャージ電流を出力する期間を設けるかどうか、複数のプリチャージ電流を設けた場合には、そのうちのどれを選択するかを設定することが可能である。各出力に分配するように、階調データ 386 と共にシフトレジスタ及びラッチ部 384 により各出力に分配される。階調データは階調データ線 985 として、各出力に設けられた電流出力段 23 に入力される。電流出力段 23 では階調データ線 985、基準電流生成部 891 で作成された基準電流値に応じた電流量を 1093 に出力する。図 110 にはマルチカラー対応のドライバの時の基準電流生成部 891 及び電流出力段 23 の構成を階調データ線 985 が 3 ビットの例で示している。基準電流設定線 934 により 1101 の信号線電位が変化し、オペアンプ 1103、抵抗 1102 とトランジスタからなる定電流回路の電流値が変化し、これにより基準電流設定線 934 の値に応じて電流が変わることがわかる。階調

データ線 985 により出力 1093 の電流が変わるのは、階調データ線 985 の値により、出力に接続される電流源トランジスタ 103 の個数が変わることにより変化させている。一般に有機 EL 素子は発光色ごとに発光効率が異なるため、発光色ごとに 1 階調あたりの電流を異ならせる必要がある。本発明では抵抗 1102 を IC 外部の素子として構成することで、抵抗 1102 の調整を容易とし、抵抗値で 1 階調あたりの電流値を変化させ、ホワイトバランスを取れるようにしている。一方各出力に分配されたプリチャージ判定線 984 はプリチャージ電流出力段に入力される。更にプリチャージ電流出力段 1094 はプリチャージ基準電流発生部 1092 及びプリチャージパルス 1098 から信号入力がある。

【0340】

プリチャージパルス 1098 のパルス幅はパルス発生部 1097 により決められる。パルス発生部 1097 では電流プリチャージ期間設定線 1096 の値及びタイミングパルス、クロックによりカウンタ回路などを用いて、タイミングパルス出力からプリチャージ期間設定線 1096 の値に基づいてプリチャージパルス 1098 を出力するようにしている。

【0341】

プリチャージ電流の値を決めるプリチャージ基準電流発生部 1092 はプリチャージ電流設定線 1091 入力によりプリチャージ電流を変化させる。

【0342】

これら 2 つの外部設定値（電流プリチャージ期間設定線 1096 及びプリチャージ電流設定線 1091）は、ソースドライバの入力信号線削減のため映像信号線 856 に、映像信号のブランキング期間を利用してブランキング期間中に設定信号を送るようにした。そのため、映像信号線 856 から映像信号・コマンド分離部 931 を介して、電流プリチャージ期間設定線 1096 及びプリチャージ電流設定線 1091 を取り出すようにしている。

【0343】

図 111 にプリチャージ電流出力段 1094 及びプリチャージ基準電流発生部 1092 の回路構成を示す。（マルチカラー 3 色の組が 2 つの例）

プリチャージ電流出力段 1094 では、プリチャージ判定線 984 及びプリチャージパルス 1098 が入力される判定信号デコード部 1111 によりプリチャージ電流源トランジスタ 1112 から 1114 もしくは階調電流 1093 のうちの 1 つを出力 104 に接続するようにすることで、プリチャージ電流を出力するかどうかを選択する。

【0344】

これによりプリチャージパルス 1098 がハイレベルのときに、プリチャージ判定線 984 の値によって、プリチャージ電流源のうちのどれを出力するか、もしくは、プリチャージ電流なしで、階調電流を出力するかを決めることができる。

【0345】

なおプリチャージ電流は 1 値でもよいが、パネルサイズつまり容量値の違いによって必要な電流値が異なることから、IC ドライバを任意サイズで汎用的に使う際に、大型向け、小型向けに電流を調整して複数個出せるようにすることで汎用性を高めることが可能である。

【0346】

プリチャージパルス 1098 のパルス幅は、パネルサイズ及び水平走査期間の長さにもよるが、5 μ 秒以上水平走査期間の 50% 以下が好ましい。この範囲で所定階調を書き込めない場合にはプリチャージ電流を増加させることで対応する。プリチャージ電流を挿入する期間を設ける階調データ 386 の値は階調データ 386 により電流出力段 23 から出力される電流がプリチャージ電流未満の場合に印加するようにプリチャージ判定信号 383 を制御すればよい。プリチャージ判定信号 383 は入力信号線数の削減及び電磁波対策のため図 95 に示すような形式で小振幅差動入力しても良い。

【0347】

このようにすることで、1行前のデータに比べて、次の行のデータが高階調となる場合にでもプリチャージ電流を入力することで所望の電流が書き込めるようになった。

【0348】

高階調から低階調に変化するときには図104に示すようにほぼ目標の電流値を書き込めるため、このままでも構わないが、階調0（黒）に関してはきっちりと黒を表示できるようにした方が、コントラストの向上、自発光素子の特徴である黒が表示できるという利点を強調することが可能である。

【0349】

そのため、0以外の階調から0階調に変化する際には、水平走査期間のはじめに電圧により黒を表示する電圧を印加するようにすることで、きちっとした黒を実現するようにした。ソース信号線に黒電流に対応する電圧を印加した場合、印加電圧によっては、駆動トランジスタ62の電流電圧特性のばらつきにより画素によって、黒が浮く（微発光する）現象が観測される。これを防ぐために、印加電圧は、電流電圧特性のばらつきを考慮し、最もよく電流が流れる駆動トランジスタ62でも電流が流れない電圧（プリチャージ電圧）を印加するようにすることで、駆動トランジスタのばらつきによる輝度ばらつきを防止できる。

【0350】

プリチャージ電流もしくはプリチャージ電圧を水平走査期間内に印加できるようにしたソースドライバの構成を図112に示す。プリチャージ電圧が供給できるように、プリチャージ電圧発生部981、電圧プリチャージを行う期間を指定する電圧プリチャージパルス451が入ることが特徴である。

【0351】

電圧でプリチャージを行う場合には、電圧印加期間が0.8 μ 秒以上3 μ 秒以下で十分にソース信号線をプリチャージすることが可能である。そのため電流プリチャージに比べ短い期間のみの印加となるため、電流プリチャージパルス1098とは別の信号線電圧プリチャージパルス451を入力している。電流プリチャージと期間を共有してもよいが、この場合、階調に応じた電流を流す期間が短くなるため、電流による駆動トランジスタのばらつき補正が十分行われず黒表示の電圧値が変化した場合に輝度ムラが発生する可能性がある。そのため、電圧印加期間は極力短くし、階調電流出力の期間を長くするようにしている（個々のパネルではプリチャージ電圧を駆動トランジスタ62のばらつきに応じて調整することが可能であるが、実際にはパネル間、ロット間で駆動トランジスタ62の特性が大きくずれる可能性がある。これに対し、プリチャージ電圧を調整すれば、共用することも可能であるが、調整工程が必要となるため実用的ではない。この調整機能を電流により行わせるため、階調電流出力期間が長い方がよい。なお小型パネルにおいてはソース線容量が比較的小さいこと、水平走査期間が長いことから共用としても十分に補正可能であるため、チップサイズ優先で2つのプリチャージパルスを共用する。）。

【0352】

1098及び451の2つのプリチャージパルスは開始位置が同じ（水平走査期間のはじめ）でパルス幅が異なるのみであるため、ソースドライバクロック871及びタイミングパルス849から作成されるカウンタにより作成することが可能である。パルス幅はそれぞれ電流プリチャージ期間設定線1096、電圧プリチャージ期間設定線933により定められる。図109の構成と同様にソースドライバの入出力信号線数の削減のため、映像信号線856のブランキング期間を利用して送信される。2つのパルスは1水平走査期間で1回の出力であることから、設定の書き換えは最もよく書き換えても1水平走査期間で1回であるためこのようにブランキング期間に設定する信号を挿入すればよい。

【0353】

印加するプリチャージ電圧値であるが、プリチャージ電圧発生部981により発生する。プリチャージ電流電圧出力段112へ出力する電圧が各色複数個ある場合には図99と同様な構成を用いればよいが、階調0に対応する電圧各色1値のみである場合には、3つの電圧をそれぞれ電子ボリュームとオペアンプで構成し、電子ボリュームにより電圧値を

調整するような構成でもよい。どちらの構成でも、電圧値の調整はプリチャージ電圧設定線 986 により行う。プリチャージパルスと同様、設定線は映像信号 856 のブランキング期間により行う。

【0354】

プリチャージ電圧、プリチャージ電流、階調電流のいずれを出力するかをプリチャージ電流電圧出力段 1121 で選択する。図 113 にプリチャージ電流電圧出力段 1121 の回路構成を示す。この例では電流プリチャージ電流源が 1112 及び 1113 の 2 つ、プリチャージ電圧線 983 が 1 つの合計 3 つと、階調電流 1093 との選択を行うことから、プリチャージ判定線 984 は 2 ビットとなっている。判定線 984 及びプリチャージパルス 1098 及び 451 から判定信号デコード部 1131 により、4 つのうちのどれを出力するかをデコードする。切り替え部 1132、1133、1134、1135 の状態と入力信号の関係を図 114 に示す。プリチャージ判定線 984 によりプリチャージを行うか、行う場合には電流であるか電圧であるかを定める。さらにプリチャージを行う場合には電流もしくは電圧プリチャージパルスの期間のみプリチャージを行い、そのほかの期間では階調電流を出力するように設計する。これにより、電流もしくは電圧プリチャージ機能を有するソースドライバ IC を実現した。なお図 112 から図 114 では、電圧プリチャージの電圧数が各色 1 種類、電流プリチャージの電流数が各色 2 種類で説明を行ったが、任意の種類でも実現可能である。

【0355】

プリチャージ判定線の元となるプリチャージフラグ生成のフローチャートを図 115 に示す。

【0356】

ここでプリチャージを行う条件を考える。電圧プリチャージは階調 0 となるときにのみ行う。更に 1 行前も階調 0 であるときには、信号線がこの 2 水平走査期間では変化しないため、電圧プリチャージを行う必要がないため、プリチャージをしないようにする。次に電流プリチャージであるが、ある一定階調以上である場合には、1 行前のデータがどういふデータであろうと階調電流により十分に書き込むことが可能となるため、電流プリチャージは不要である。一般的には電流プリチャージ用電流源の電流値 I_p よりも大きな階調電流を出力する階調では電流プリチャージは不要である。図 115 の例では、3.5 型 QVGA パネルにおけるフローチャートを記載している。この場合には 32 階調以上では、所定階調に変化できるため電流プリチャージは不要である。電流プリチャージが必要となるのは 1 から 31 階調表示行で、かつ 1 行前のデータが表示階調よりも大きい場合に電流プリチャージを行う。1 行前データよりも当該行データのほうが小さい場合もしくは同一階調の場合には電流プリチャージは不要である。なお 1 行前データが階調 0 の場合、プリチャージ電圧が印加されていることが多く、電圧による輝度ばらつきを防ぐため、所定階調より高い電圧が印加される。そのためソース信号線の電位変化量がおおくなり、所定階調が書き込みにくくなる。そこで 1 行前データが 0 のときには、電流プリチャージの電流値が I_p よりも大きな I_{p0} を用意し、階調 0 の後にはこの電流を出力するようにするということも可能である。

【0357】

このようなプリチャージを実現するため図 115 に示すように、まず 1151 に示すフローで映像信号データを調べ、プリチャージが不要な階調 32 以上と、電圧プリチャージとなる階調 0、その他の階調に分岐させる。階調 32 以上ではプリチャージ不要となるため 1157 の判定により、プリチャージフラグ値を 0 とする（図 114 の判定信号デコード部 1131 真理値表を用いた場合）。

【0358】

階調 0 の場合には、1152 のフローにより 1 行前のデータを参照する。階調 0 のときには不要であるため階調 0 とそれ以外に分け、階調 0 では 1157 のプリチャージなしとなり、フラグは 0 とし、階調 0 以外では電圧プリチャージするという 1154 の判定となり、プリチャージフラグは 1 とする。

【0359】

残る階調1以上31以下では、1行前の映像信号データの方が大きい場合には、プリチャージ不要のため1157のプリチャージなしとなりフラグは0となる。階調0のときはI_p0の電流をプリチャージ電流として必要とするため1155の電流プリチャージ（電流源1113）となる。よってフラグ値は3となる。それ以外の場合には通常の電流プリチャージ（電流値I_p）を用いるため1156の電流プリチャージ（電流源1112）となりプリチャージフラグは2を出力する（ここで電流源1112はI_pの電流源、電流源1113はI_p0の電流源と仮定する）。

【0360】

なおパネルによってはI_pの値が大きくなり、それに伴いプリチャージが必要な階調数が増加することがある。この時に備え、1151の分岐命令は条件分岐の条件を外部コマンドなどにより変更できるようにしてもよい。また、プリチャージ電流源及び電圧源数が増えたときなどは同様に適宜フローチャートを作成し、回路実現することが可能である。

【0361】

このフローチャートを実現するプリチャージフラグ生成部1162は、通常コントローラ854内部にて、図116に示すように、映像信号1161及び1行前のデータを蓄積するラインメモリ1164の出力を入力とし、映像信号1161と同期して小振幅差動信号変換部1163に入力される。ここで、信号線数の削減及び電磁波ノイズ対策のため小振幅差動信号に変換され、更にブランキング期間にソースドライバの制御信号を挿入し、映像信号線856及びクロック858をソースドライバに対し出力する。なお、コントローラとソースドライバが1つのICで構成される場合には小振幅差動信号変換部1163は不要でそのまま、この信号をシフトレジスタ及びラッチ部384に入力すればよい。

【0362】

また図109及び図112において、ゲートドライバ制御線941が出力されているがこの信号は、コントローラ出力信号線数削減のため用いられたものであり、コントローラの出力信号線数に制約がない場合には不要である。

【0363】

なお本発明では表示素子として、有機発光素子で説明を行ったが、無機エレクトロルミネッセンス素子、発光ダイオードなど電流と輝度が比例関係となる表示素子ならどのような素子を用いても実施可能である。

【産業上の利用可能性】

【0364】

本発明にかかる電流出力型半導体回路は、入力信号線数を減らし、有機電界発光素子など、電流量により階調表示を行う表示装置に用いる電流出力を行う電流出力型半導体回路等として有用である。

【図面の簡単な説明】

【0365】

【図1】本発明における電流出力型半導体回路の入力信号波形を示した図

【図2】1ドット分の映像信号ごとにプリチャージを行うかどうか外部から選択できるようにしたときのドライバICのブロック図

【図3】複数のソースドライバICを用いた表示パネルを示した図

【図4】有機発光素子の構造を示した図

【図5】有機発光素子の電流－電圧－輝度特性を示した図

【図6】カレントコピア構成の画素回路を用いたアクティブマトリクス型表示装置の回路を示した図

【図7】カレントコピア回路の動作を示した図

【図8】定電流源回路の例を示した図

【図9】基準電流源の各素子の配置構成を示した図

【図10】電流出力型ドライバの各出力へ電流を出力するための回路を示した図

【図11】図10の階調表示用電流源103のトランジスタサイズと出力電流ばらつ

きの関係を示した図

【図 12】カレントコピャ構成の画素回路において、画素にソース信号線電流が流れるときの等価回路を示した図

【図 13】1 出力端子における電流出力とプリチャージ電圧印加部及び切り替えスイッチの関係を示した図

【図 14】発光色による輝度対電流特性の違いを示した図

【図 15】1 水平走査期間内でのプリチャージ電圧を行う期間と階調データに基づく電流を出力する期間の関係を示した図

【図 16】表示色ごとに異なるプリチャージ電圧を出力することができる回路ブロックを示した図

【図 17】階調データとプリチャージ判定信号の関係を示した図

【図 18】入力シリアル電流を各信号に分配する回路を示した図

【図 19】基準電流を各出力に分配する実施の形態における、複数のドライバ IC の接続関係を示した図

【図 20】n 型トランジスタを用いた場合のカレントコピャを用いた画素回路を示した図

【図 21】本発明の実施の形態を用いた表示装置として、テレビに適用した場合を示した図

【図 22】本発明の実施の形態を用いた表示装置として、デジタルカメラに適用した場合を示した図

【図 23】本発明の実施の形態を用いた表示装置として、携帯情報端末に適用した場合を示した図

【図 24】本発明の実施の形態を用いた半導体回路の電流出力部の概念を示した図

【図 25】図 24 の構成において、電流源をトランジスタで構成した場合を示した図

【図 26】図 24 もしくは図 25 に示した電流出力部による入力信号の階調対出力電流の関係を示した図

【図 27】8 ビットデータのうち下位 1 ビットをあるサイズのトランジスタ構成で出力し、残りの上位 7 ビット分を下位 1 ビットのトランジスタに比べてドレイン電流量の多くなるトランジスタを用意し、トランジスタの個数により階調表示を行う電流出力段を示した図

【図 28】低階調表示部に黒階調に対応する電圧を印加した場合の表示を示した図

【図 29】フレーム毎にプリチャージ電圧を印加するかどうか選択できるようにしたときの出力段及び出力段に必要な信号の構成を示した図

【図 30】3 フレームに 1 回プリチャージを行う場合のプリチャージを印加する画素のパターンを示した図

【図 31】2 フレームに 1 回プリチャージを行う場合のプリチャージを印加する画素のパターンを示した図

【図 32】入力階調とプリチャージを行うフレームの割合の関係の一例を示した図

【図 33】図 29 の構成からプリチャージ用電源を複数個用意した場合の回路を示した図

【図 34】図 33 の構成において 2 つのプリチャージ電圧とフレーム毎に出力電圧を変更できる

【図 35】図 33 のプリチャージ用電源電圧印加に対するソース信号線電流の関係（画素トランジスタの電流電圧特性）を示した図

【図 36】複数のプリチャージ電圧とフレーム毎に出力電圧を変更できる出力段の構成を示した図

【図 37】図 36 の複数のプリチャージ電圧の階調に対する印加パターンを示した図

【図 38】階調に応じた電流出力と階調に応じた電圧出力のいずれかを選択して出力可能な構成とした出力信号線の例を示した図

【図 39】点灯率の低い画面でプリチャージを行わない場合と行った場合の表示を示

した図

【図 40】点灯率の高い画面でプリチャージを行わない場合と行った場合の表示を示した図

【図 41】本発明におけるプリチャージ電圧を出力するかどうかを判定するフローチャートを示した図

【図 42】本発明のプリチャージ印加方式を実現するためのプリチャージ判定信号生成部を示した図

【図 43】フレーム毎にプリチャージをするかどうかを判定するための FRC レジスタの動作を示した図

【図 44】カレントミラー形式の画素構成を用いた表示装置を示した図

【図 45】階調に応じた電流、階調に応じた電圧を 1 水平期間内でいずれか 1 つを選択し出力するか、時間的に順に出力するようにできるようにした場合の出力段の構成を示した図

【図 46】図 45 のプリチャージ電圧印加判定部の回路例を示した図

【図 47】図 45 の構成の出力段において一水平走査期間内で、電流のみ出力する場合、電圧のみ出力する場合、電圧出力後電流を出力する場合のプリチャージ判定信号及びプリチャージパルスとの関係を示した図

【図 48】図 6 もしくは図 44 における EL 電源線の配線を示した図

【図 49】3 フレームに 2 回プリチャージを行う場合の各フレームでのプリチャージを行う画素のパターンを示した図

【図 50】階調とプリチャージを行うフレームの割合の関係を示した図

【図 51】点灯率設定信号、FRC プリチャージ設定信号による 3 つの異なる点灯率での階調に対するプリチャージするフレームの割合の違いを示した図

【図 52】上位 3 ビットの電流出力に対応するトランジスタ群のトランジスタサイズを半分にしたときの階調と出力電流ばらつきの関係を示した図

【図 53】電流出力部におけるトランジスタ群の並びを示した図

【図 54】各トランジスタ群を構成するトランジスタのチャンネルサイズとばらつきの関係を示した図

【図 55】上位 3 ビットの電流出力に対応するトランジスタ群のトランジスタサイズをそれぞれ異ならせたときの階調と出力電流ばらつきの関係を示した図

【図 56】8 ビット映像入力に対し、下位 2 ビットと上位 6 ビット間の電流の大小関係をトランジスタチャンネル幅により調整し、各ビット内ではトランジスタの個数により電流を変化させた出力段の構成において、中間調で階調反転が起こった場合の階調対出力電流特性を示した図

【図 57】8 ビット映像入力に対し、下位 2 ビットと上位 6 ビット間の電流の大小関係をトランジスタチャンネル幅により調整し、各ビット内ではトランジスタの個数により電流を変化させた出力段の構成において、最上位ビットに対応する電流源にさらに電流源を追加できる構成を示した図

【図 58】階調 127 と階調 128 の電流差を示した図

【図 59】階調 128 の電流がばらつきにより減少したときの階調 127 電流との関係を示した図

【図 60】階調反転がなくなったときの階調—電流特性を示した図

【図 61】嵩上げ信号線を用いたときの最上位ビット電流源電流嵩上げ機能付きの電流出力段を示した図

【図 62】図 61 の電流出力段を用いたときのドライバ IC の機能ブロック図

【図 63】下位 2 ビット出力電流が 20 % 増加したときの階調 127 電流と、嵩上げ後の階調 128 電流の関係を示した図

【図 64】嵩上げ信号線を用いたときの最上位ビット電流源電流嵩上げ機能付きの電流出力段を示した図

【図 65】いくつかの階調間での輝度差と出力ばらつきから階調反転がおこるかどうか

かを示した図

【図 66】 階調 3 と 4 での電流値及びばらつきの関係を示した図

【図 67】 階調 131 と 132 での電流値及びばらつきの関係を示した図

【図 68】 嵩上げ信号線及びレーザー加工による嵩上げ機能を用いたときの最上位ビット電流源電流嵩上げ機能付きの電流出力段を示した図

【図 69】 出力毎に嵩上げを行うかどうかを嵩上げ信号により制御できるドライバ IC の構成を示した図

【図 70】 カレントコピア回路を出力段に用いる場合におけるドライバ IC のブロック図を示した図

【図 71】 デジタルーアナログ変換部を実現する回路例を示した図

【図 72】 複数のドライバ IC を接続したときの階調基準電流信号の配線を示した図

【図 73】 電流保持手段の回路を示した図

【図 74】 節点 742 及び駆動トランジスタ 731 のドレイン電流がゲート信号線 741 により変化することを示した図

【図 75】 駆動トランジスタのドレイン電流ーゲート電圧特性を示した図

【図 76】 移動度が異なるトランジスタが各出力の駆動トランジスタに用いられる場合において「突き抜け」によるドレイン電流の違いを示した図

【図 77】 カレントコピア回路において「突き抜け」を減らすためにトランジスタを 1 つ挿入した場合の電流保持手段を示した図

【図 78】 階調基準電流生成部の回路を示した図

【図 79】 図 77 において 2 つのゲート信号線の波形を示した図

【図 80】 階調基準電流生成部の回路を示した図

【図 81】 基準電流生成部を示した図

【図 82】 イネーブル信号を含んだデジタルアナログ変換部の回路を示した図

【図 83】 1 水平走査期間におけるタイミングパルス、チップイネーブル信号、セレクト信号と階調電流信号の関係を示した図

【図 84】 W/L の異なるトランジスタの電流ー電圧特性を示した図

【図 85】 映像信号とプリチャージフラグを低振幅高速転送し、電子ボリューム設定及びプリチャージ期間設定用の 1 ビットコマンド線付きとなるソースドライバを用いた場合の表示パネルの構成例を示した図

【図 86】 プリチャージフラグと映像信号線を同一信号線により高速伝送を行う場合の伝送パターン例を示した図

【図 87】 コマンド線のタイミングチャートを示した図

【図 88】 階調に応じたプリチャージ電圧を生成するプリチャージ電圧変換部の回路構成を示した図

【図 89】 図 85 に用いられるソースドライバの内部ブロック図

【図 90】 階調データに対応した電流電圧出力の関係及び、階調データに同期して送られるプリチャージ判定信号の転送例を示した図

【図 91】 映像信号線と同一信号線に基準電流設定及びプリチャージ印加期間設定信号を入力する場合におけるそれぞれの転送パターン例を示した図

【図 92】 1 水平走査期間内でデータを転送する期間とブランキング期間の関係を示した図

【図 93】 映像信号線と基準電流及びプリチャージ期間設定信号線を共用した場合におけるソースドライバの内部構成を示した図

【図 94】 ゲートドライバ制御線出力を持ったソースドライバを用いたときのドライバ IC 間の配線を示した図

【図 95】 本発明の実施の形態におけるデータ転送方法を示した図

【図 96】 1 水平走査期間内におけるデータの転送例を示した図

【図 97】 ソースドライバ内部で映像信号線から、階調データ、プリチャージ反転信号、ゲートドライバ制御線を分離したのちの各信号線波形を示した図

【図 98】 ゲートドライバ制御線出力機能を有したソースドライバの内部構成を示した図

【図 99】 図 98 のプリチャージ電圧発生部を示した図

【図 100】 図 98 のプリチャージ電圧選択及び印加判定部を示した図

【図 101】 図 100 におけるデコード部 1001 の入出力関係を示した図

【図 102】 図 6 の画素回路を用いたときのソース信号線電流とソース信号線電圧の関係を示した図

【図 103】 階調に応じた電流源の他に電流プリチャージ線により電流を供給するための電流源を電流出力段に設けた図

【図 104】 ソース信号線電流が 10 nA から 0 nA に変化するときの変化の様子を示した図

【図 105】 ソース信号線電流が 0 nA から 10 nA に変化するときの変化の様子を示した図

【図 106】 図 104 及び図 105 での変化をソース信号線の電流電圧特性上で示した図

【図 107】 電流プリチャージを行ったときのソース信号線電流の変化の様子を示した図

【図 108】 水平走査期間のはじめに所定電流の 10 倍の電流を出力するときのソースドライバ出力の時間変化を示した図

【図 109】 図 108 のような電流出力を実現するためのソースドライバの構成を示した図

【図 110】 マルチカラー出力に対応したソースドライバの基準電流生成部と電流出力段の構成を示した図

【図 111】 マルチカラー出力に対応したソースドライバのプリチャージ電流出力構成（プリチャージ基準電流発生部、プリチャージ電流出力段）を示した図

【図 112】 プリチャージ電流及びプリチャージ電圧をソース信号線に出力可能としたソースドライバの構成を示した図

【図 113】 図 112 のプリチャージ電流電圧出力段の内部構成を示した図

【図 114】 図 113 の判定信号デコード部 1131 の入力とスイッチ 1132 から 1135 の状態の関係を示した図

【図 115】 ソースドライバに入力されるプリチャージフラグ 862 を出力するフローチャートを示した図

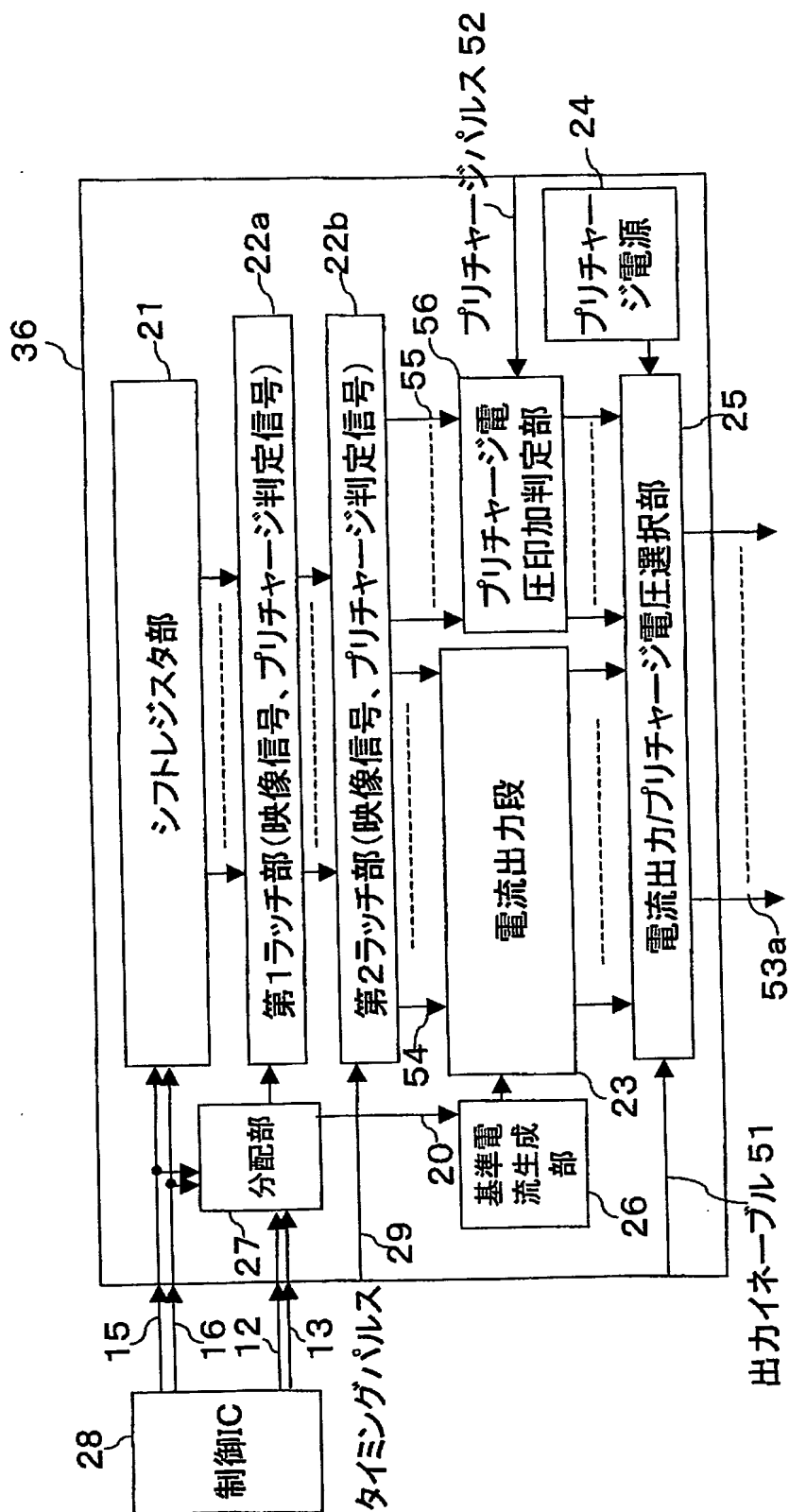
【図 116】 プリチャージフラグ生成部及びソースドライバへの送信部を示した図

【符号の説明】

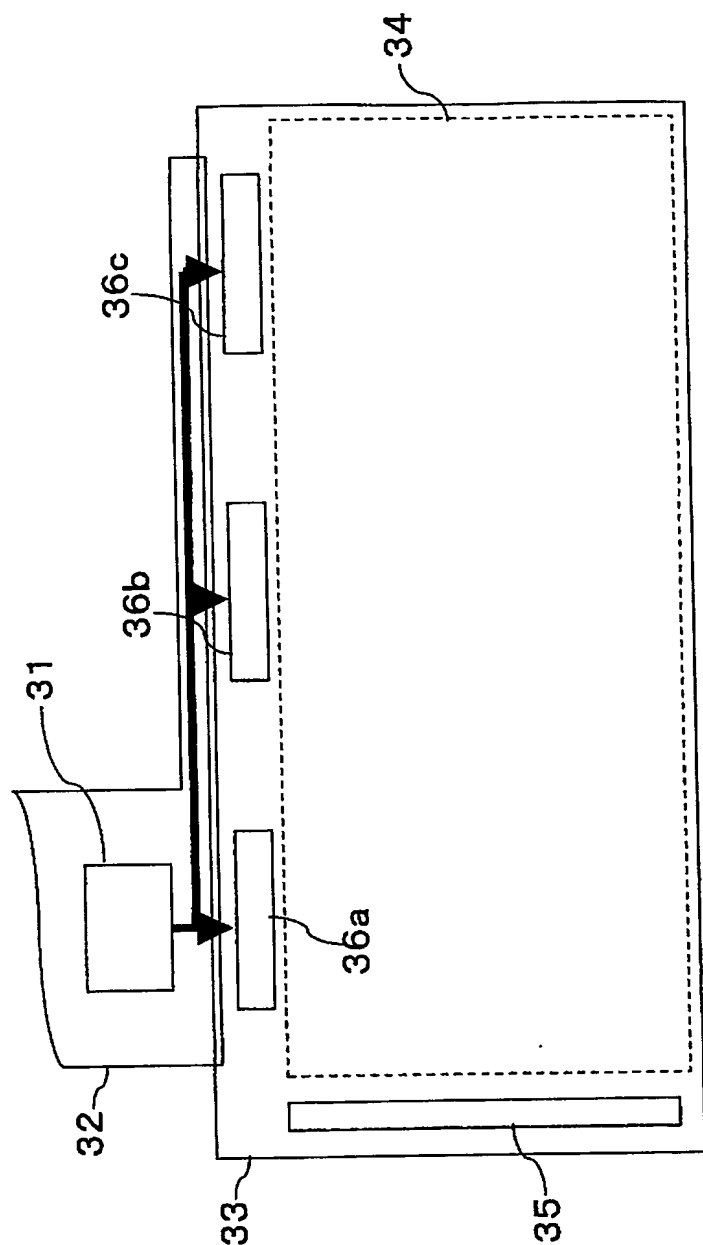
【0366】

- 11 映像データ
- 12 データ線
- 13 アドレス
- 14 振り分け後データ
- 15 クロック
- 16 スタートパルス

【図2】

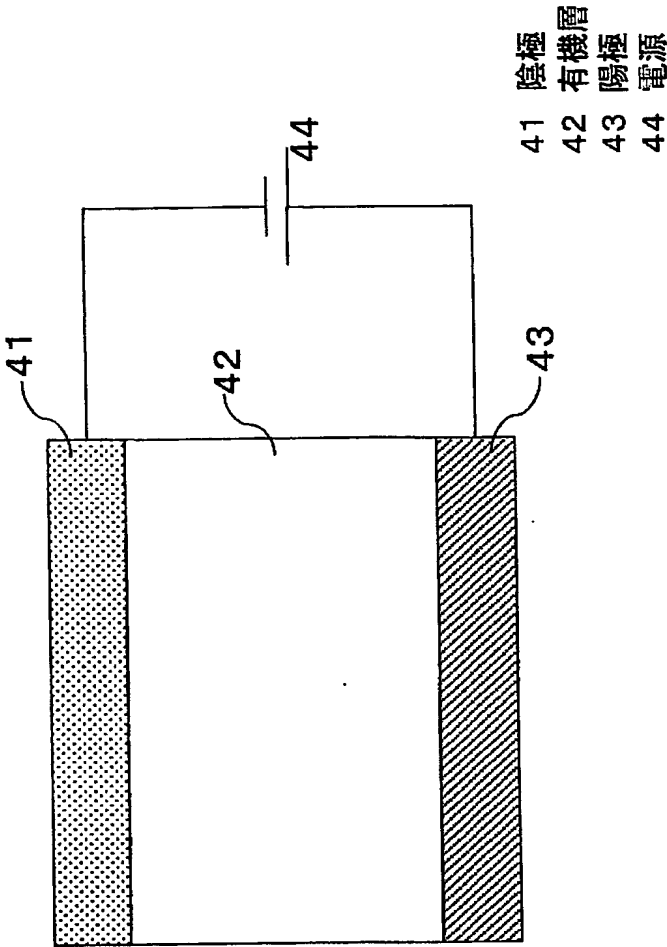


【図 3】

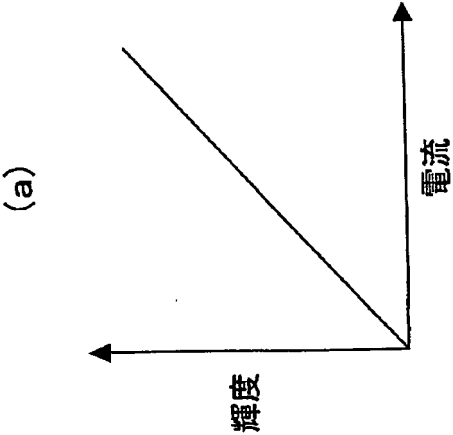
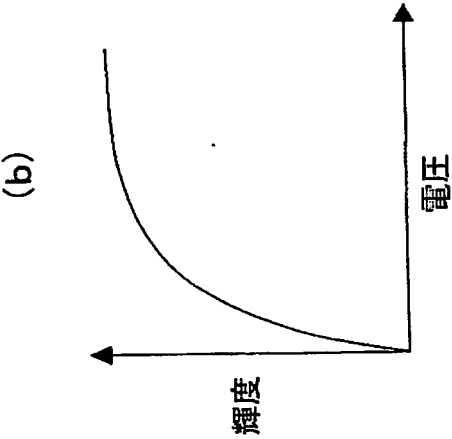


- 31: コントロールIC
- 32: フレキシブル基板
- 33: 表示パネル
- 34: 表示領域
- 35: ゲートドライバ
- 36: 電流出力型ソースドライバIC

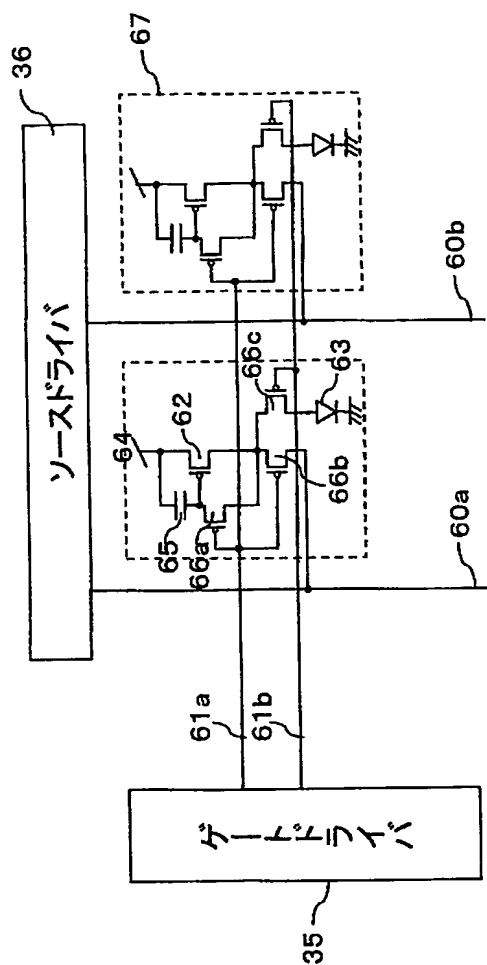
【図 4】



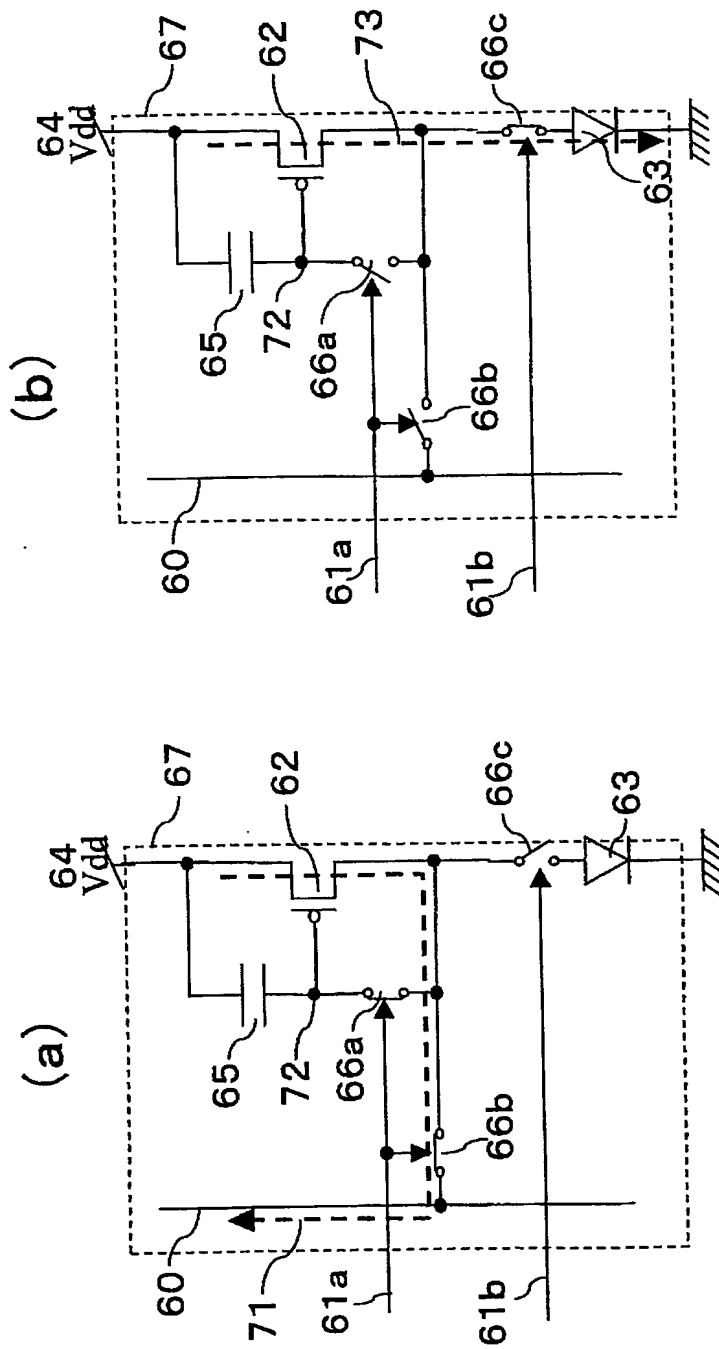
【図 5】



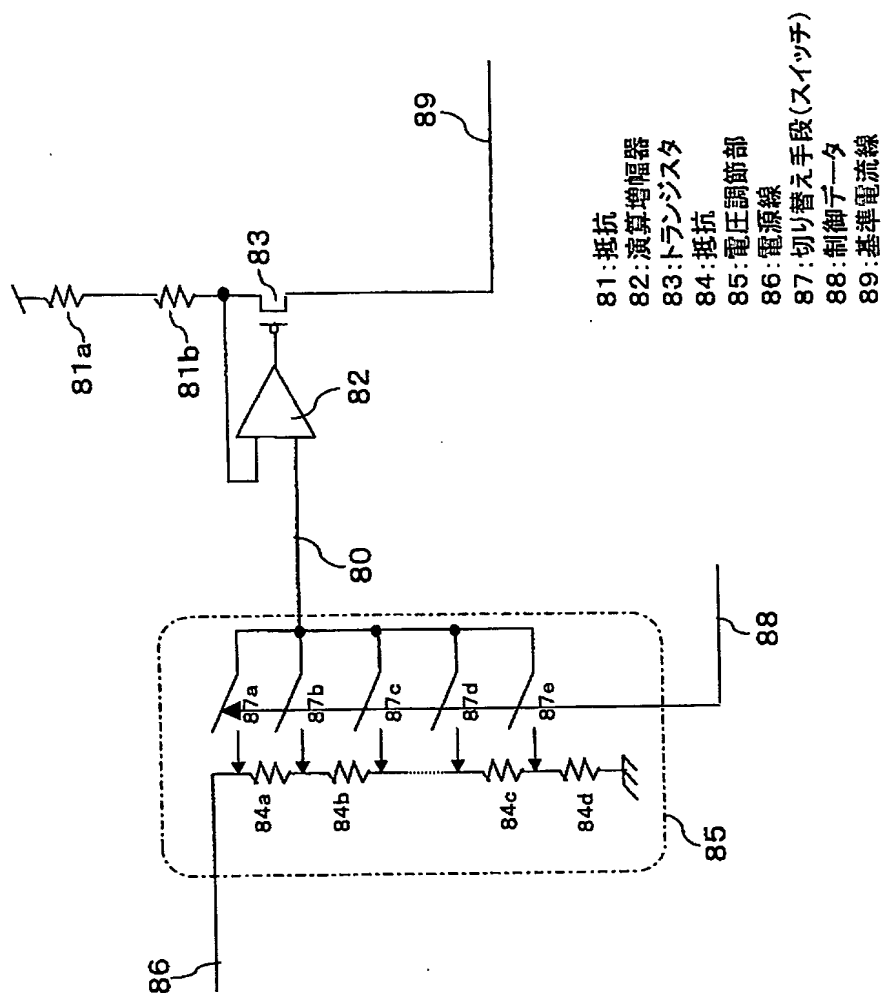
【図 6】



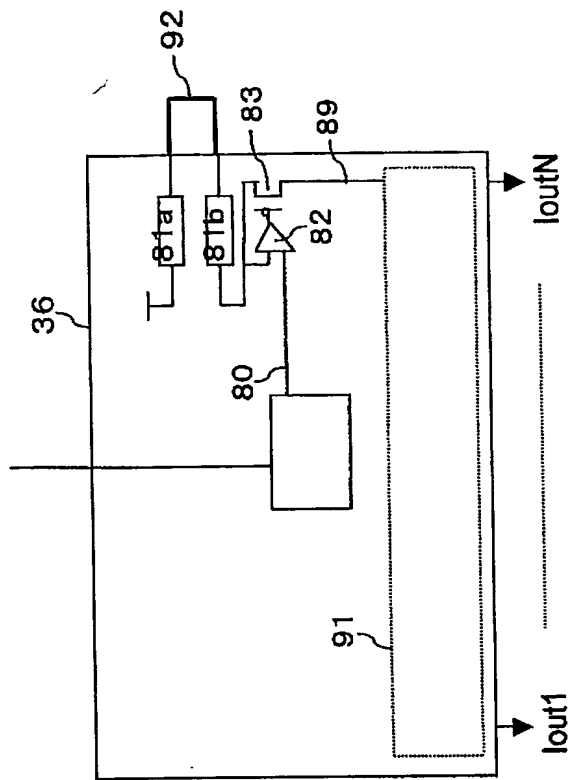
【圖 7】



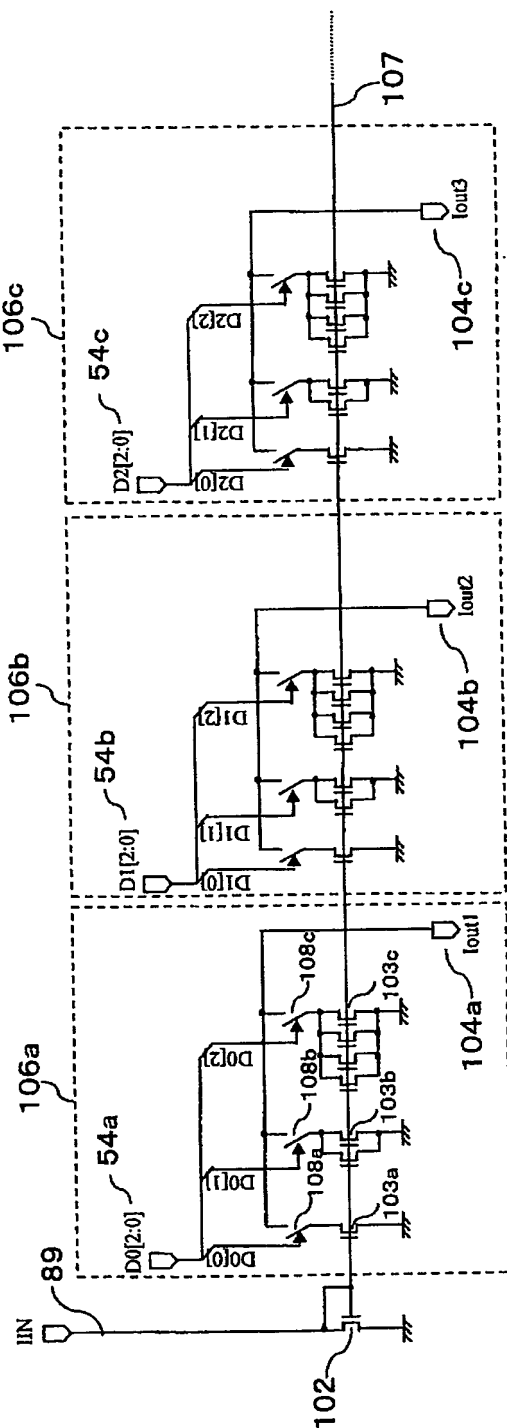
【図 8】



【図 9】

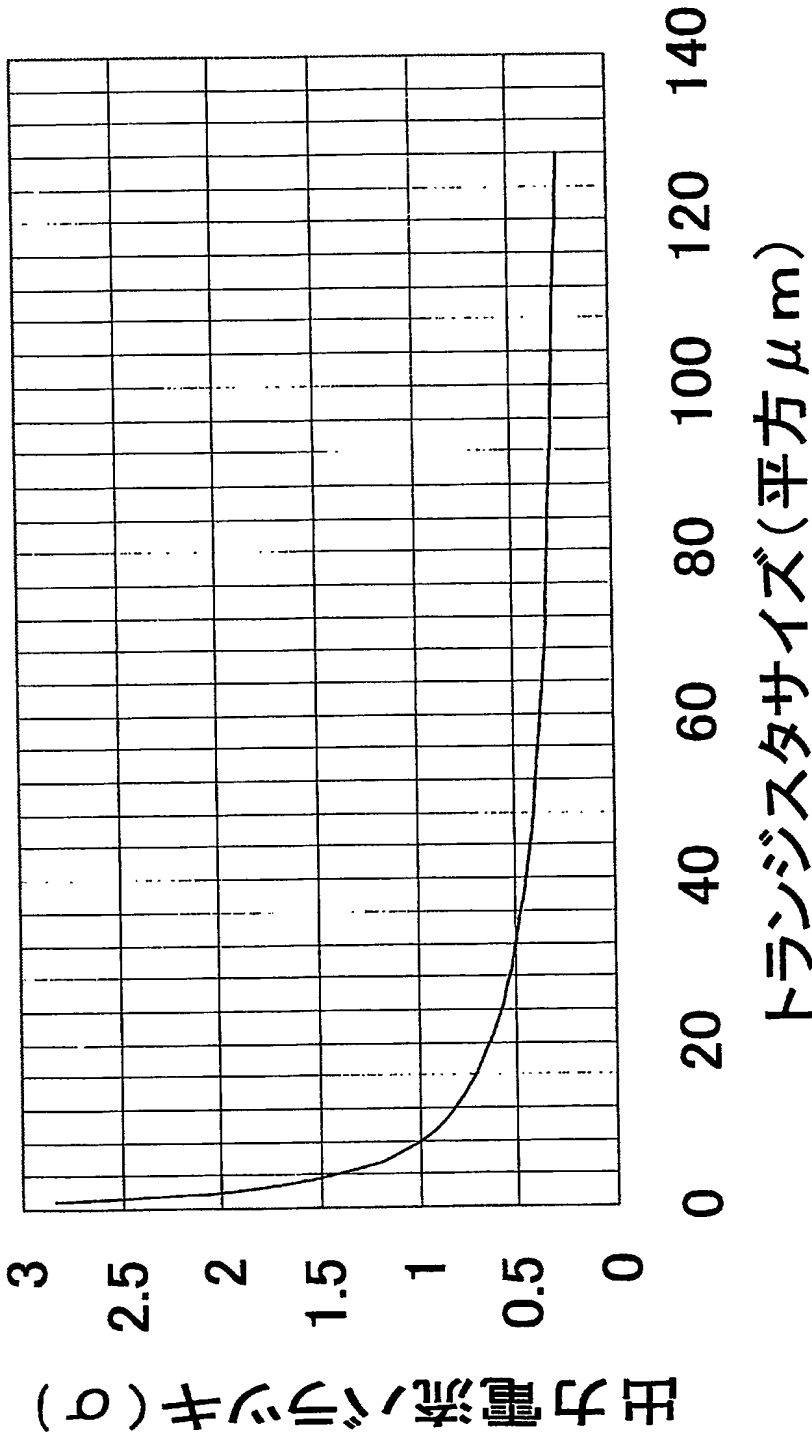


【図 10】

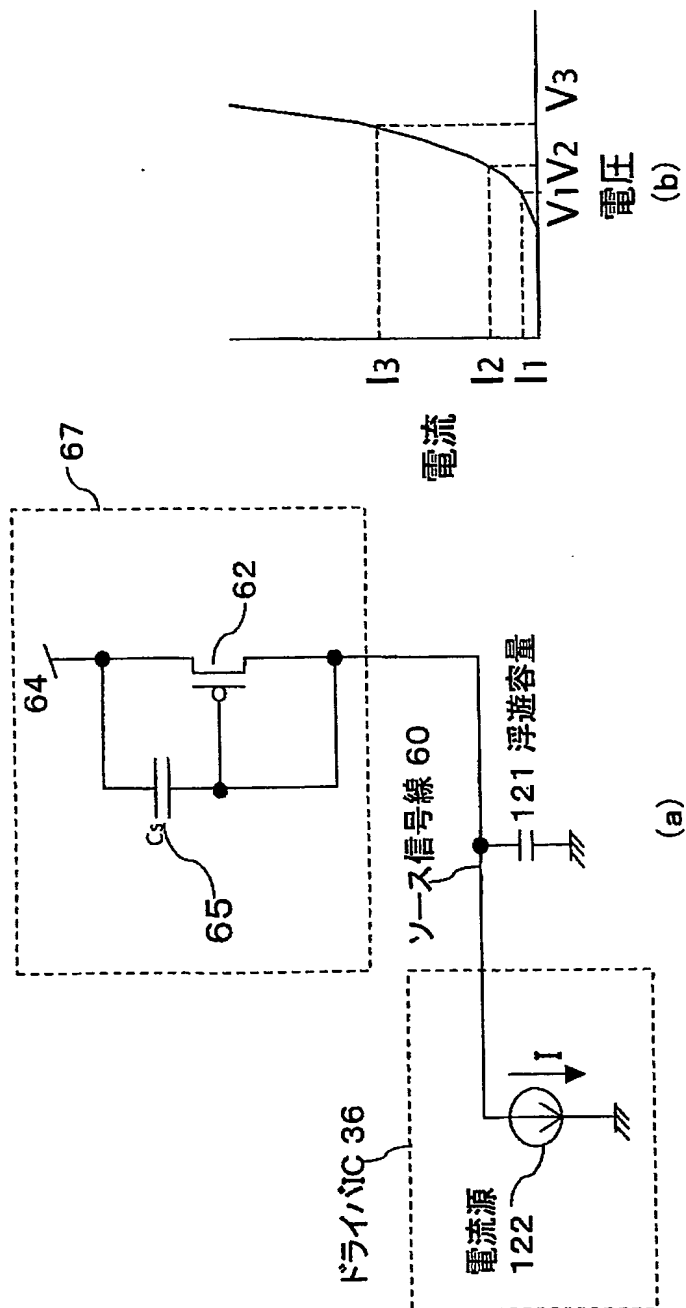


- 89: 基準電流線
- 102: 分配用ミラトランジスタ
- 103: 階調表示用電流源
- 104: 電流出力
- 54: 階調データ
- 106: デジタルアナログ変換部
- 107: 共通ゲート線
- 108: スイッチ

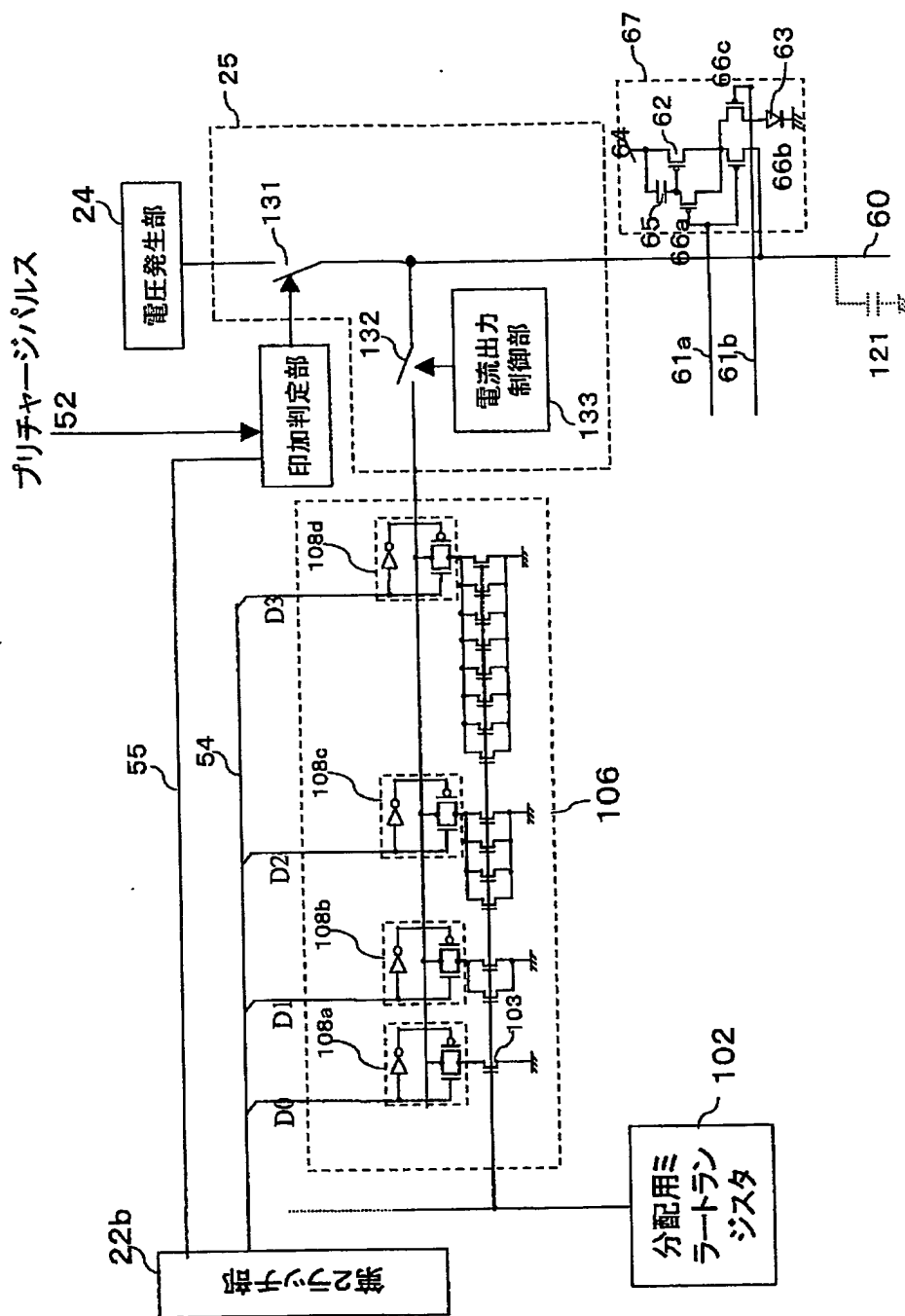
【図 11】



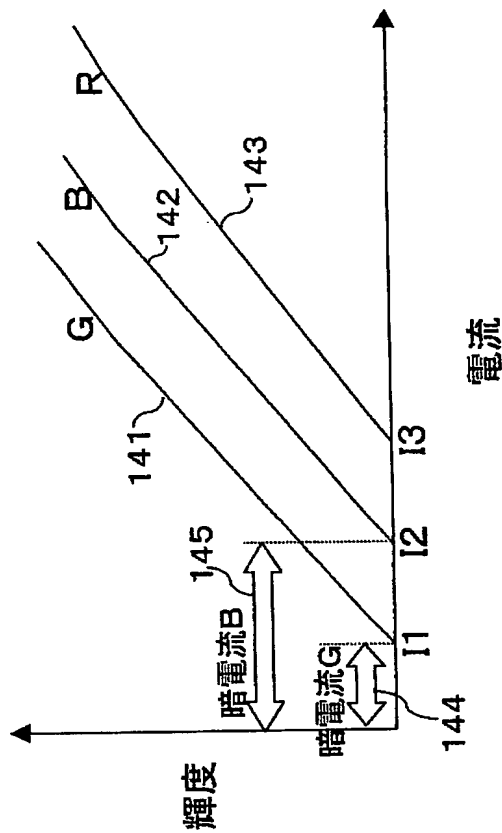
【図 12】



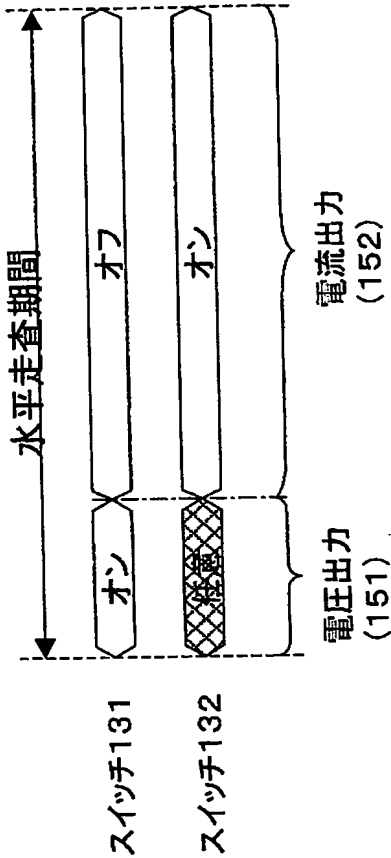
【図 13】



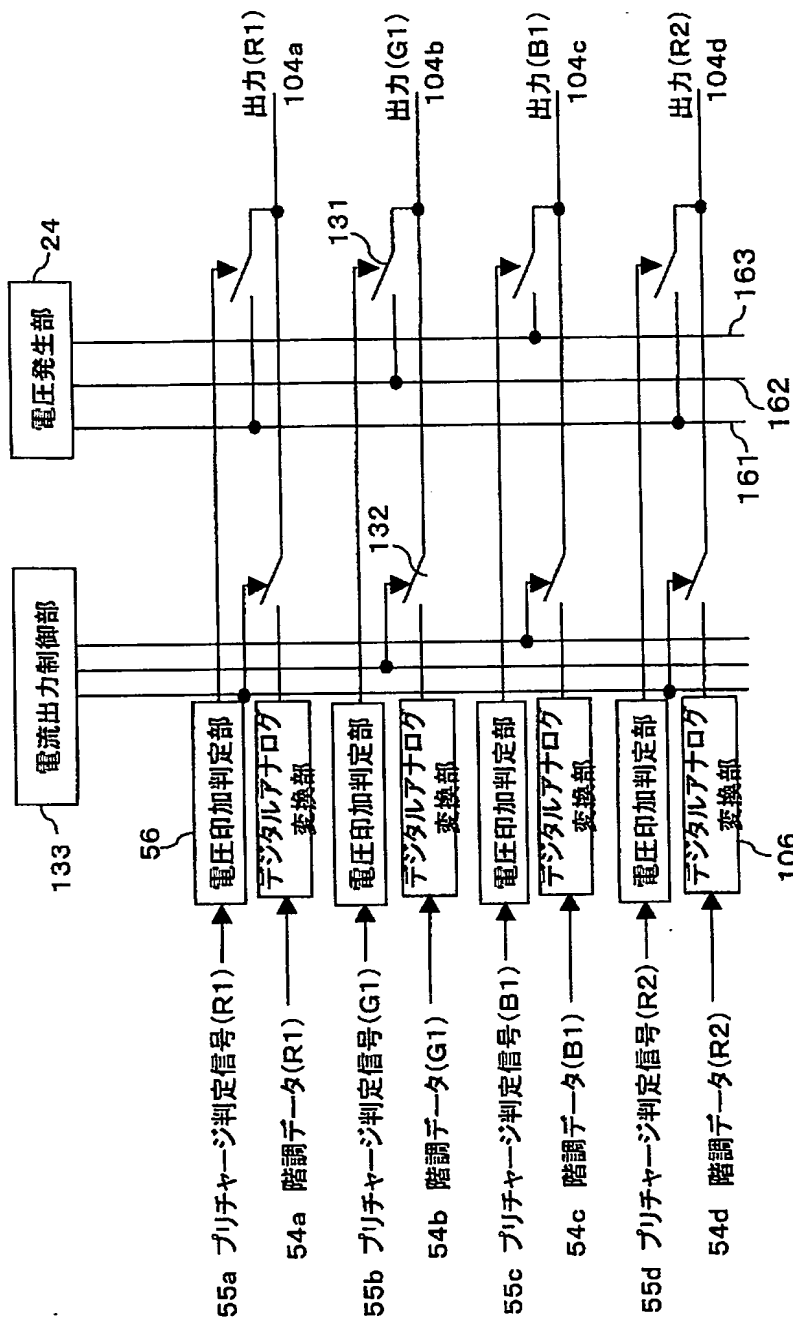
【図 1 4】



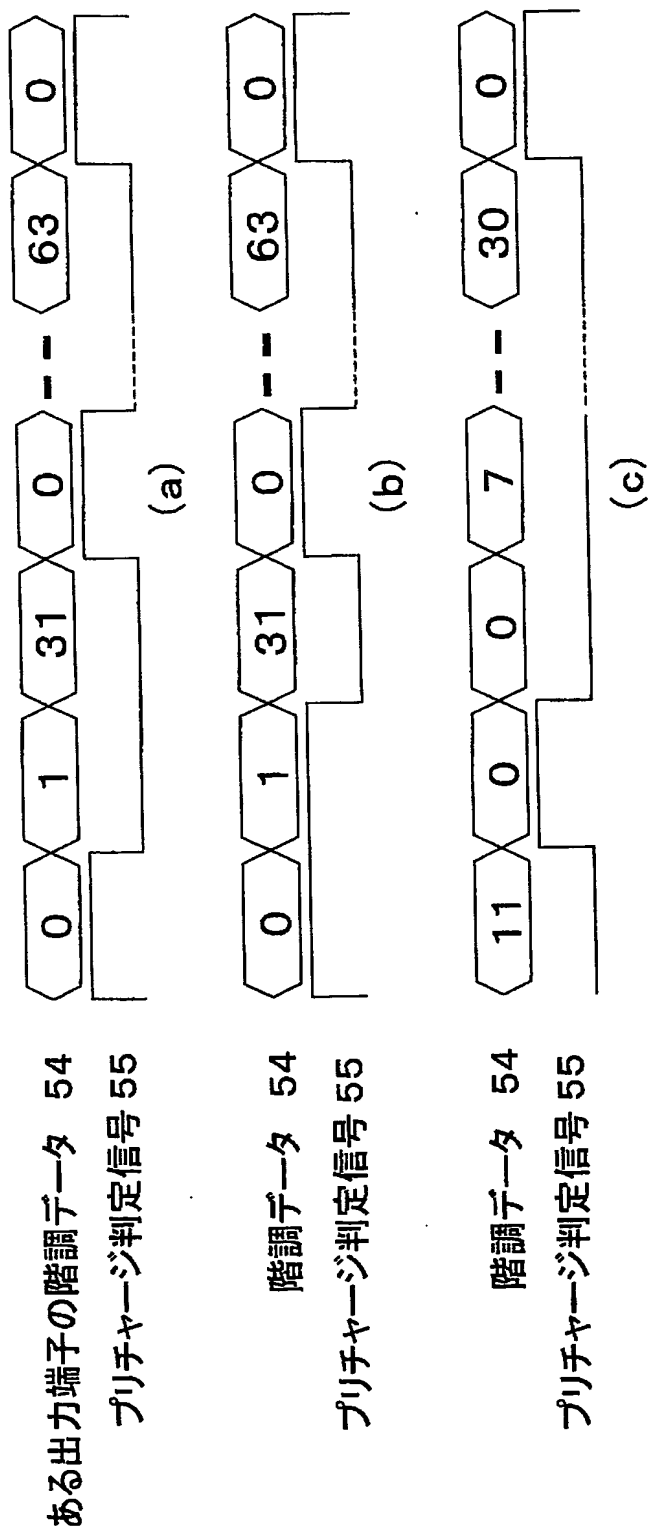
【図 1 5】



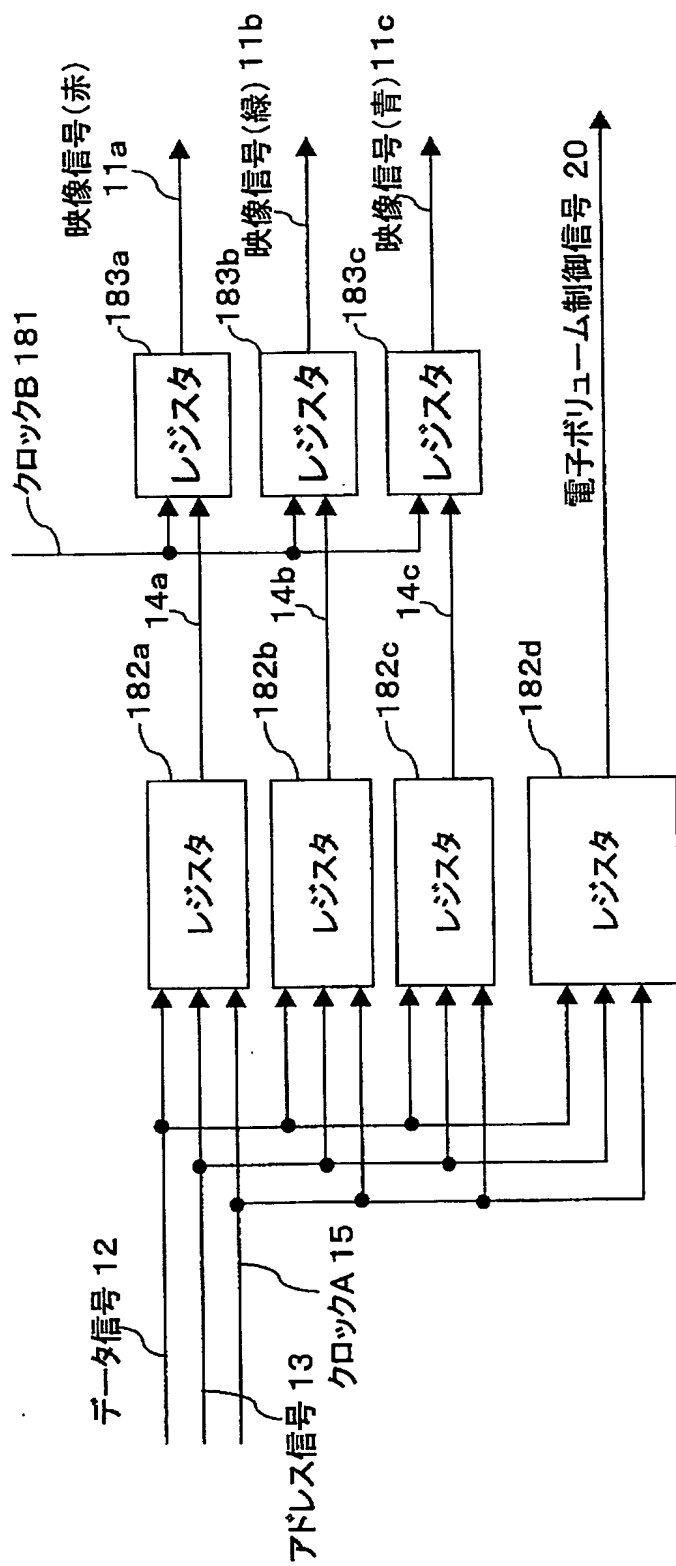
【図 16】



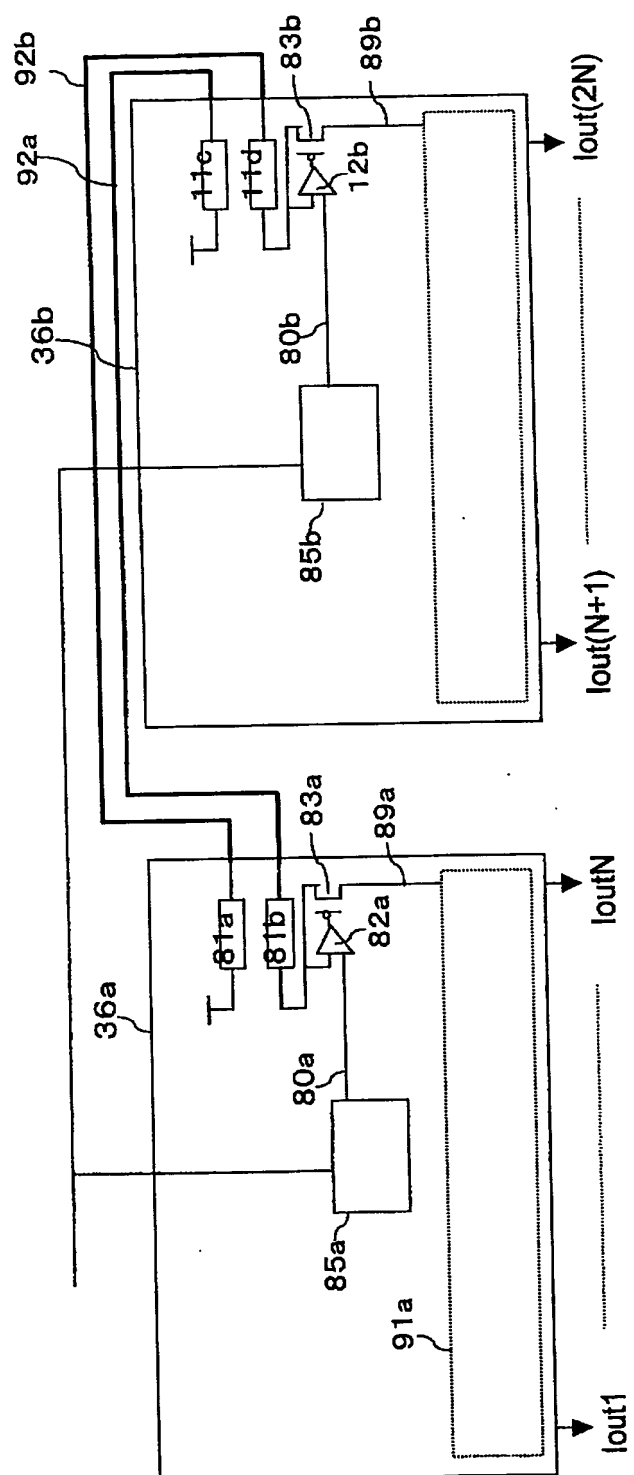
【図 17】



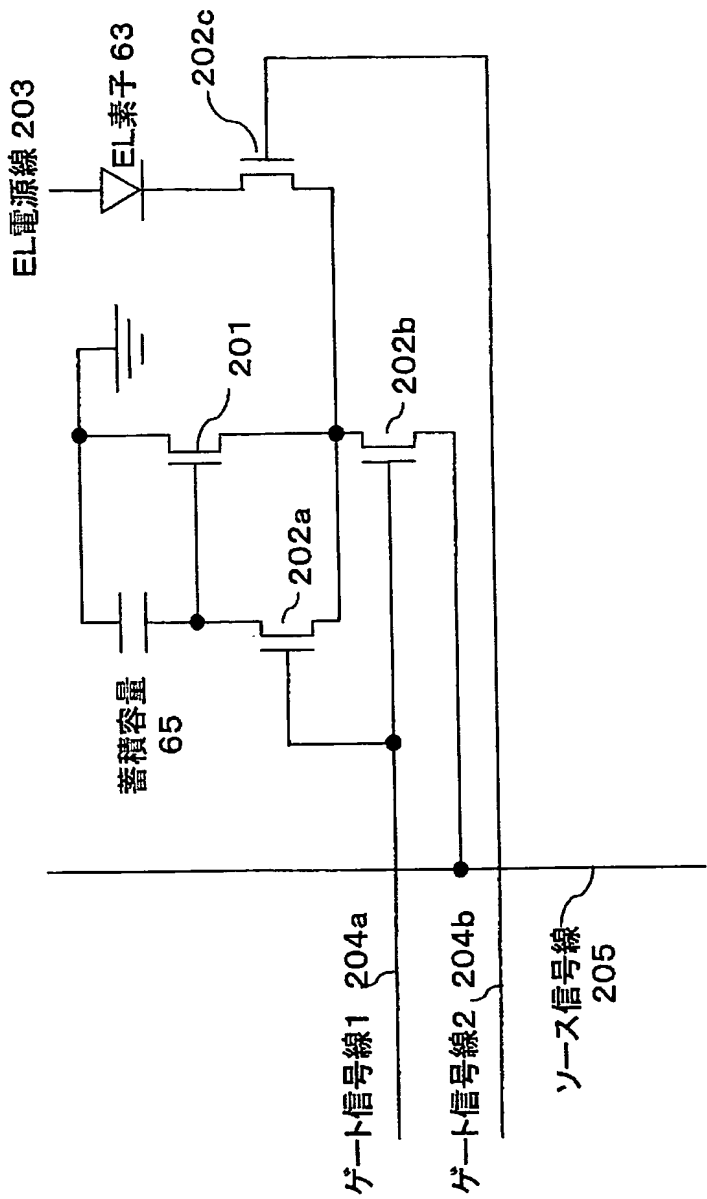
【図 18】



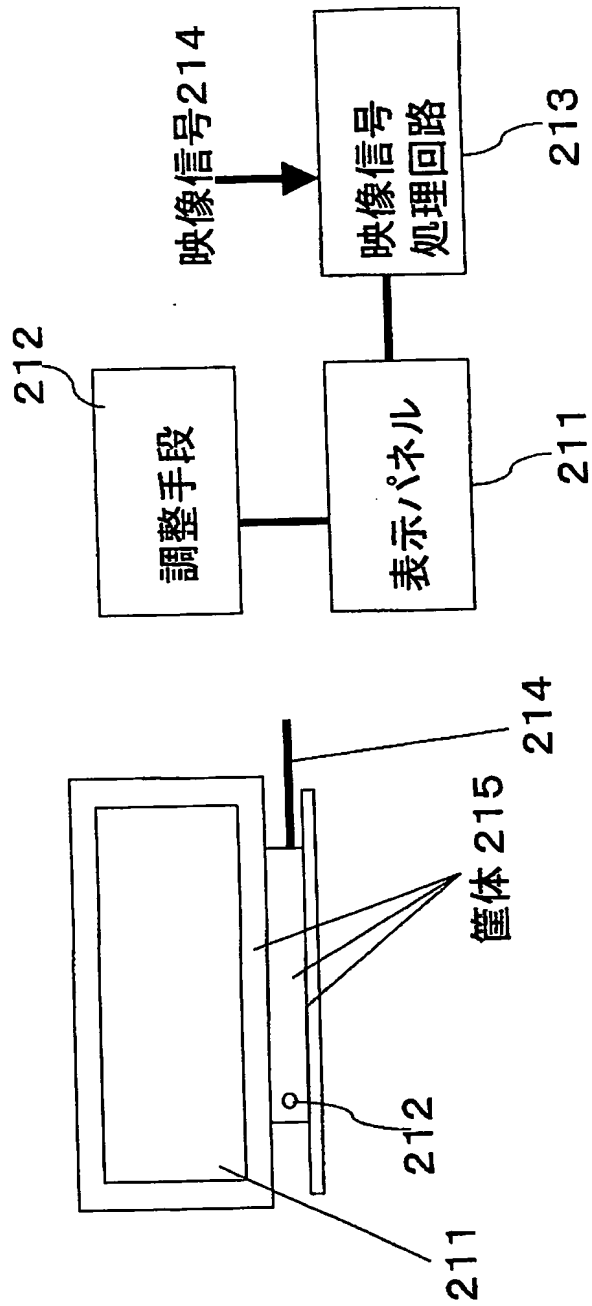
【図 19】



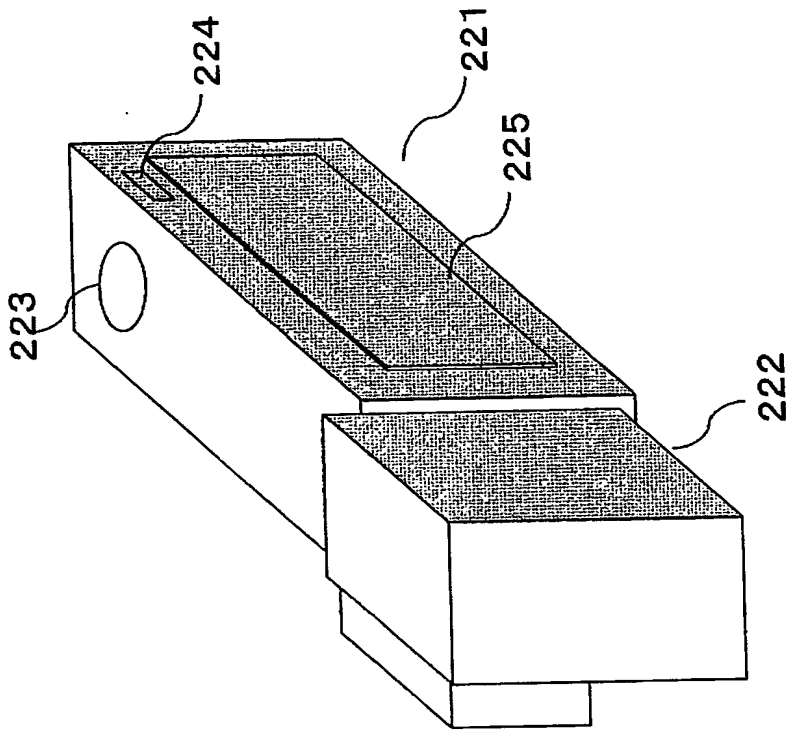
【図 20】



【図 21】

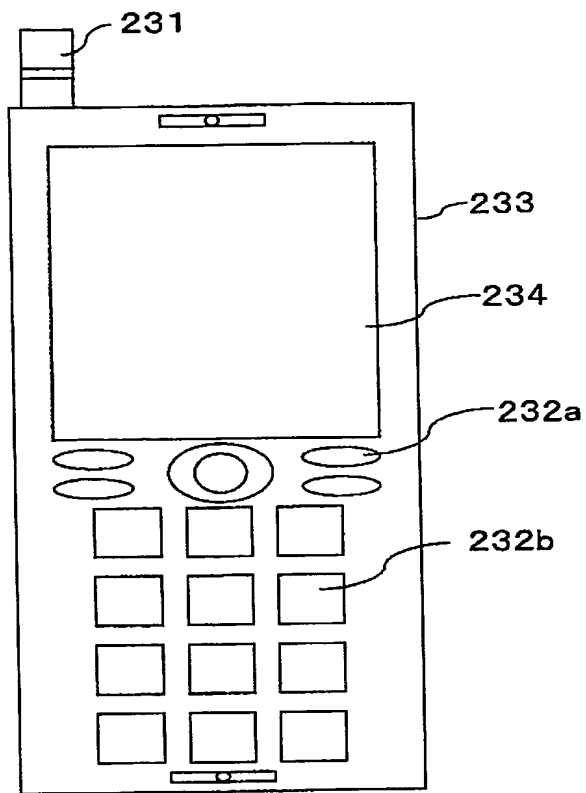


【図 22】



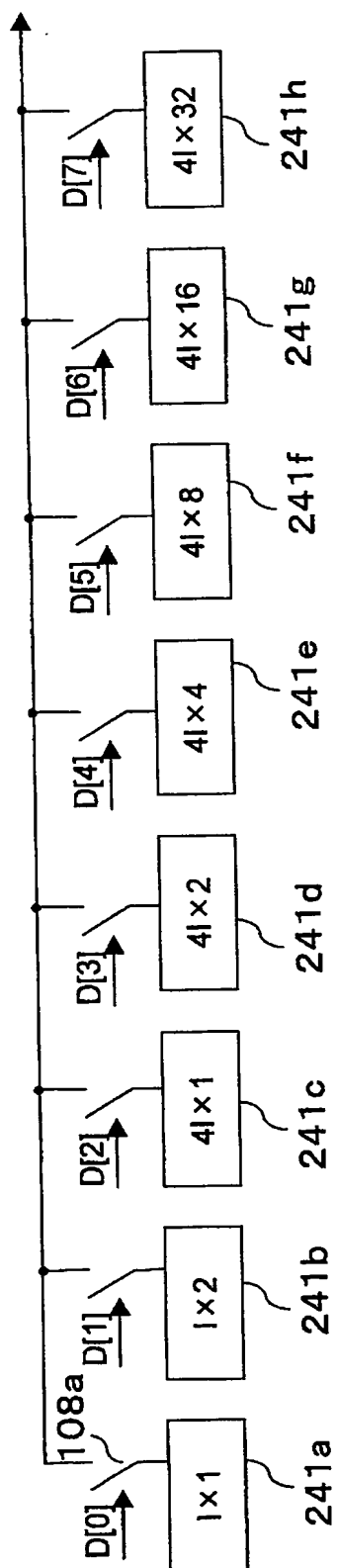
- 221 本体
- 222 撮影部
- 223 シャッタスイッチ
- 224 ファインダー
- 225 表示パネル

【図 23】

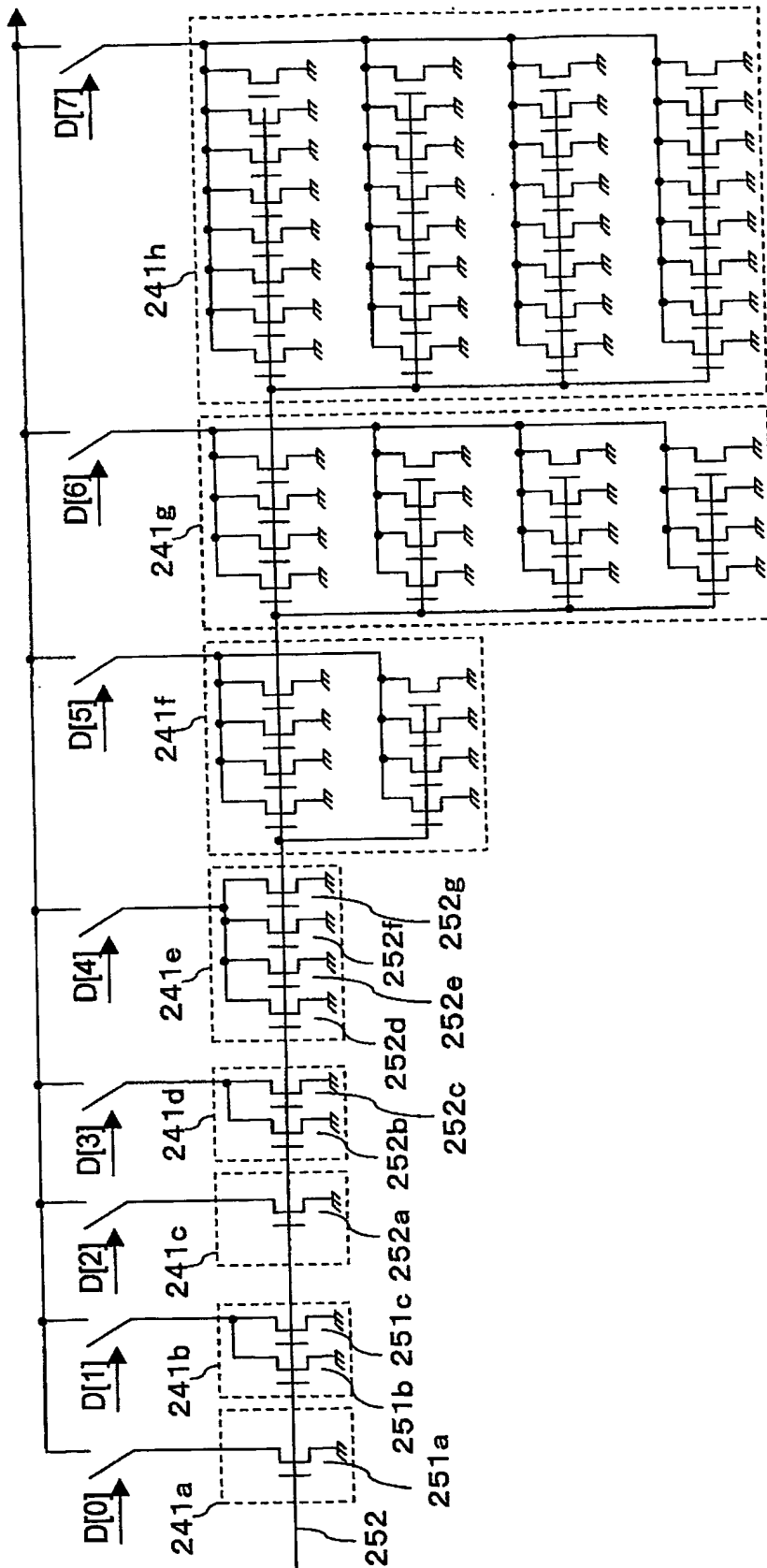


- 231 アンテナ
- 232 キー
- 233 筐体
- 234 表示パネル

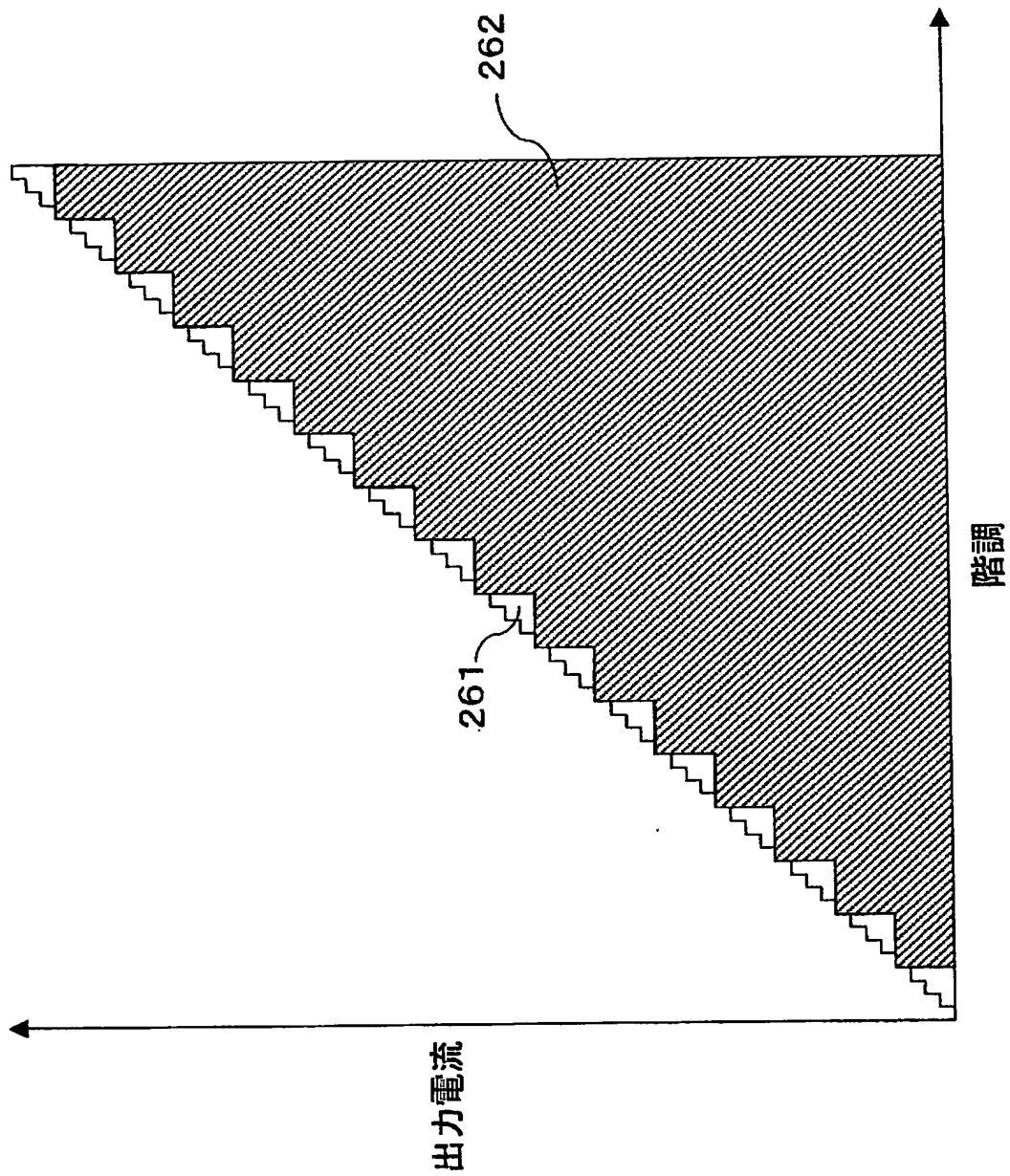
【図 24】



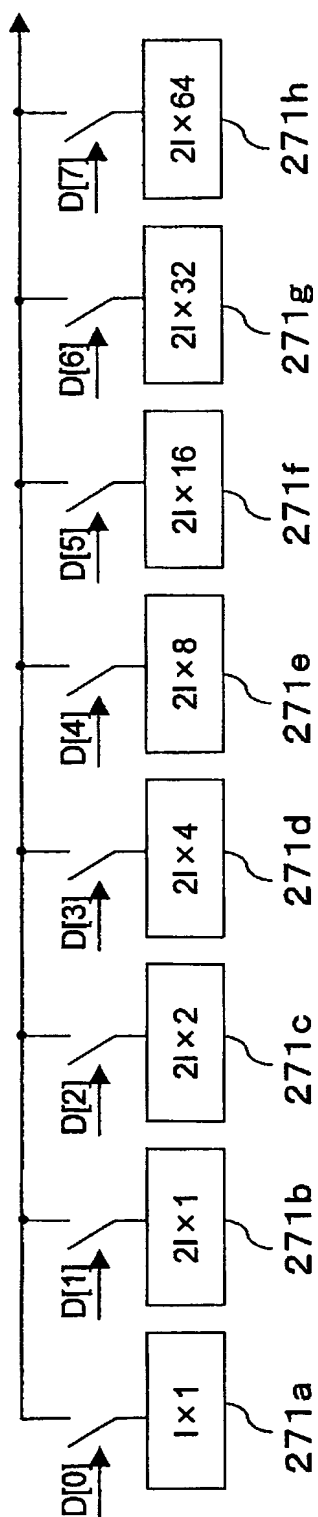
【図 25】



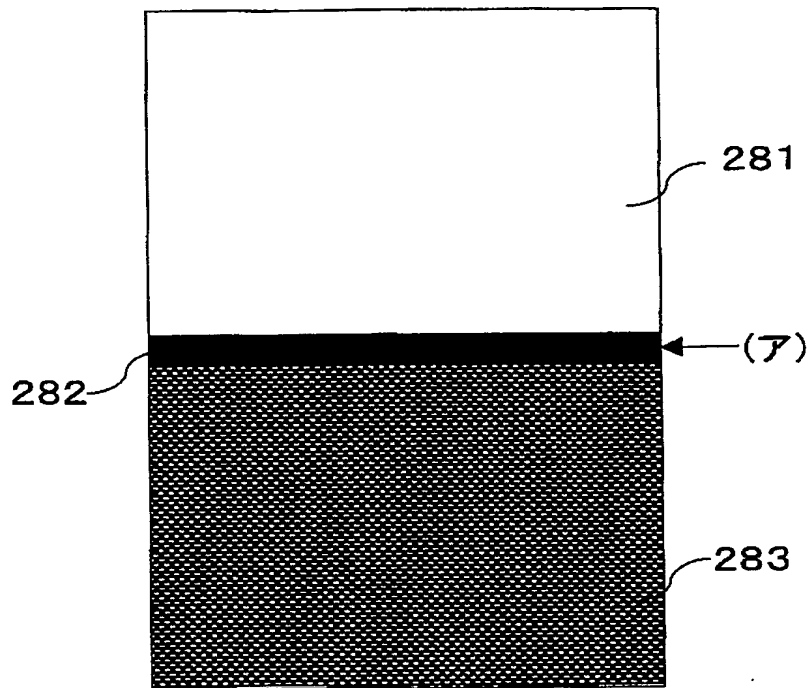
【図 26】



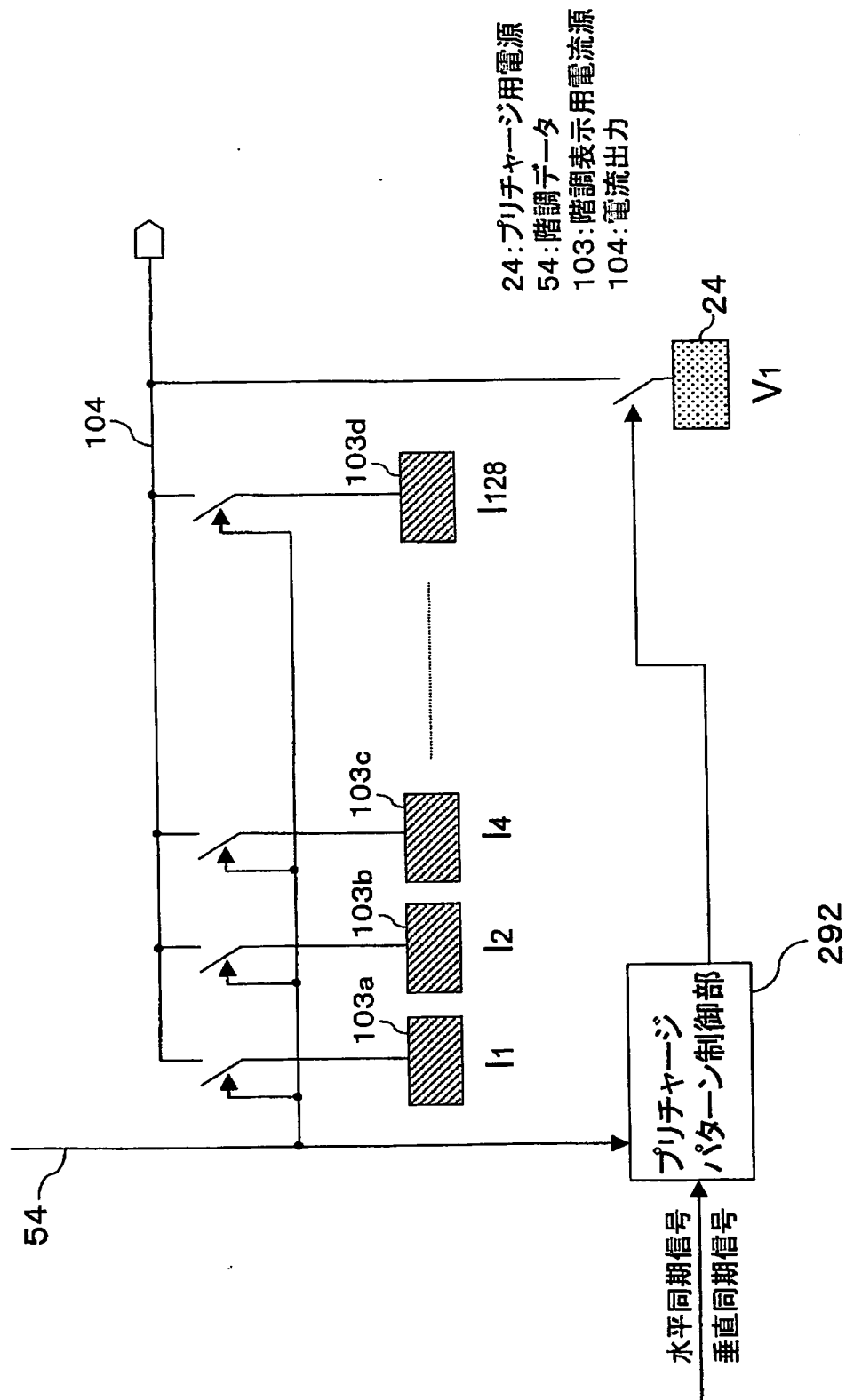
【図 27】



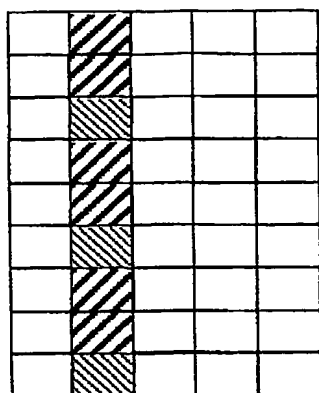
【図 28】



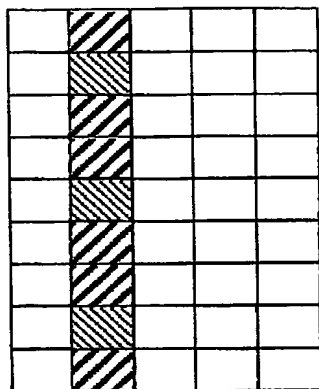
【図 29】



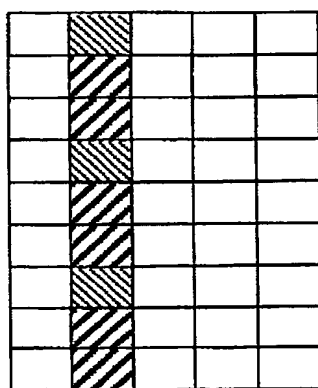
【図 3 0】



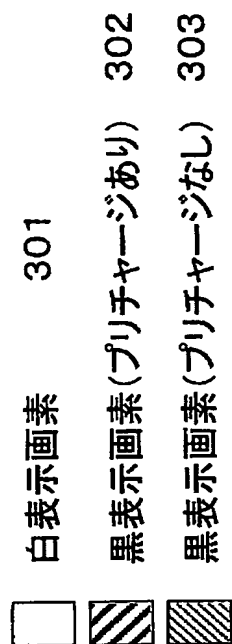
第3のフレーム



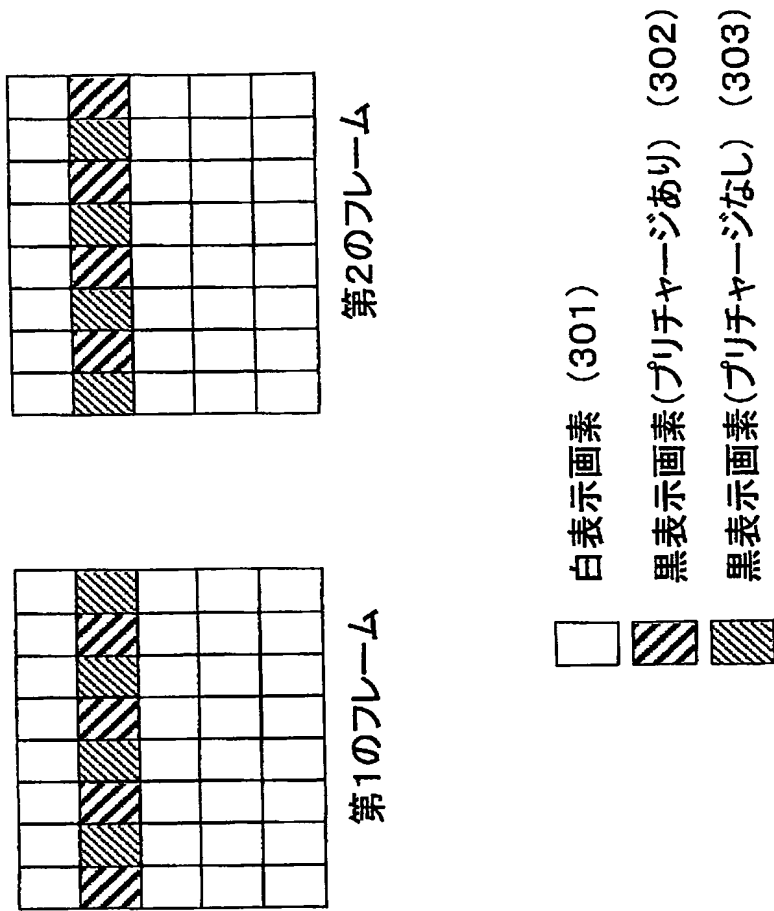
第2のフレーム



第1のフレーム



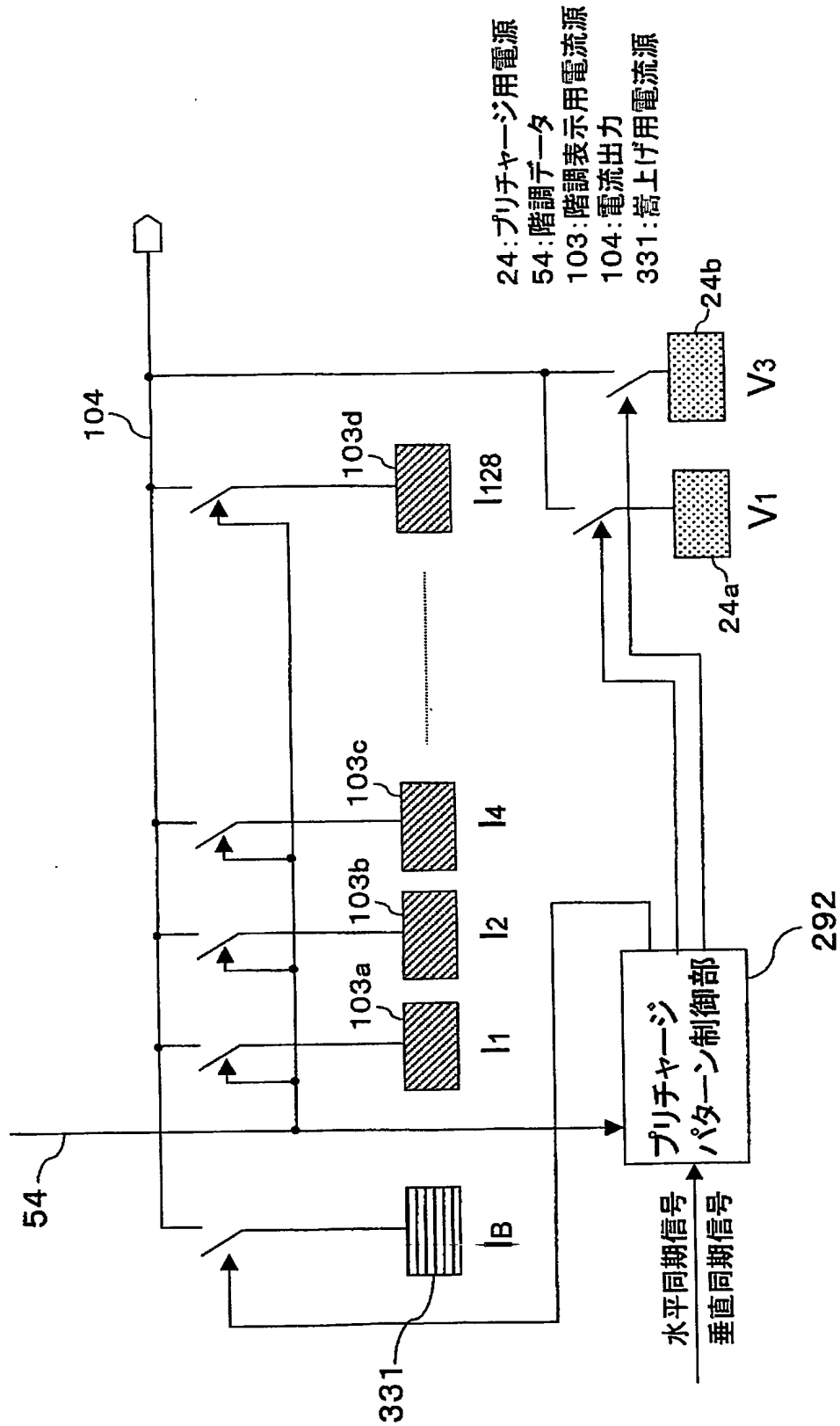
【図 31】



【図 3 2】

階調	ブリチャージ印加パターン
0	毎フレーム印加
1	3フレーム中2フレームで印加
2	2フレーム中1フレームで印加
3以上	印加なし

【図 33】

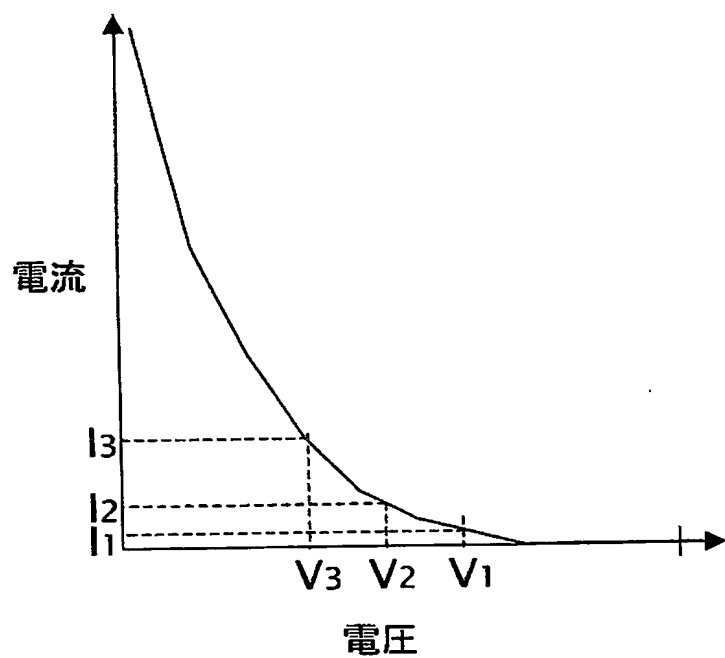


【図 34】

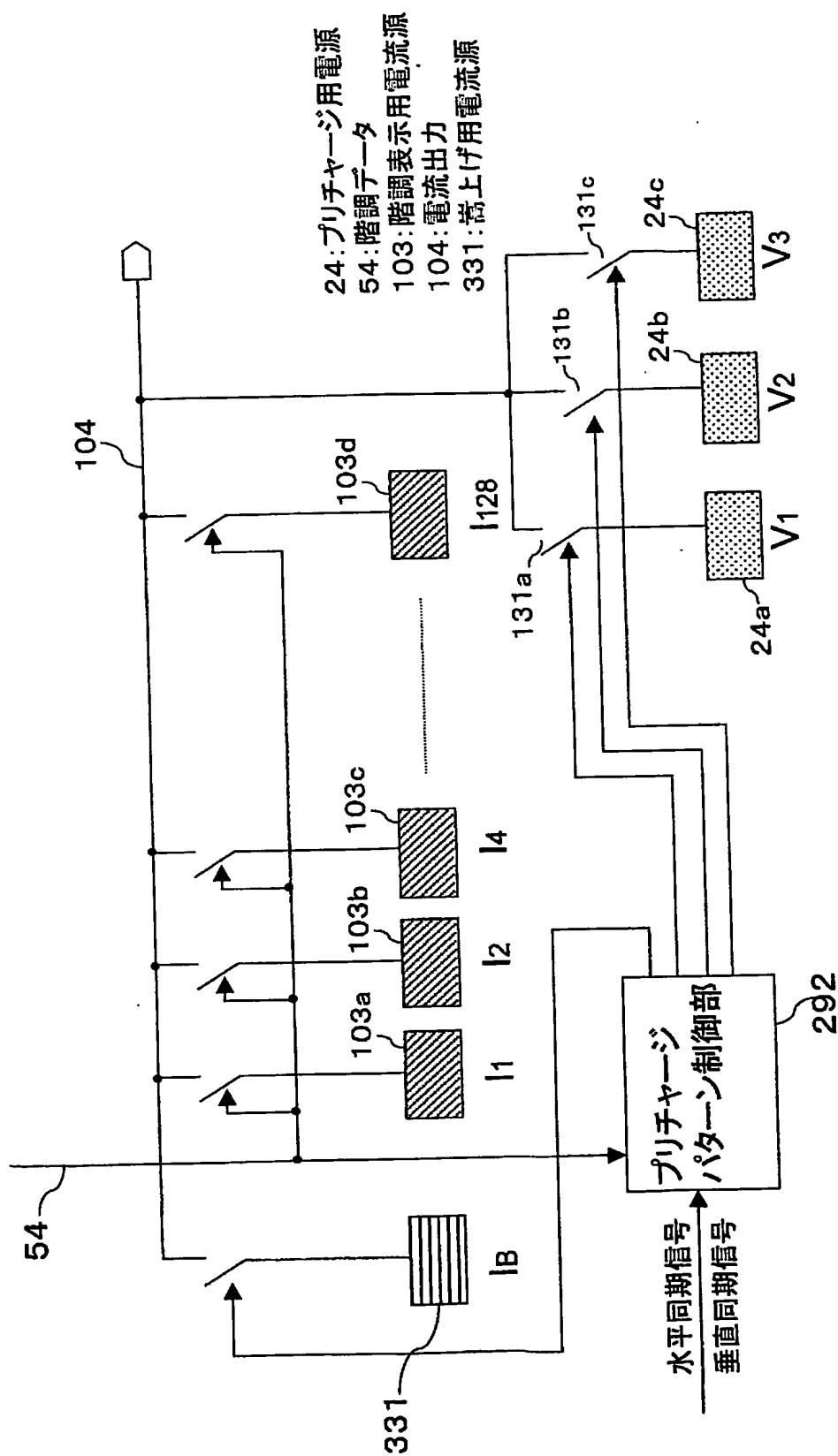
階調	第(2N)のフレーム	第(2N+1)のフレーム
0	V1を出力後階調に応じた電流出力	V1を出力後階調に応じた電流出力
1	V1を出力後階調に応じた電流出力	V3を出力後階調に応じた電流出力
2	V3を出力後階調に応じた電流出力	V3を出力後階調に応じた電流出力
3~128	階調に応じた電流出力	階調に応じた電流出力
129~255	(嵩上げ電流) + (階調に応じた電流出力) その後階調に応じた電流出力	(嵩上げ電流) + (階調に応じた電流出力) その後階調に応じた電流出力

V1 > V3とする

【図 35】



【図 3 6】

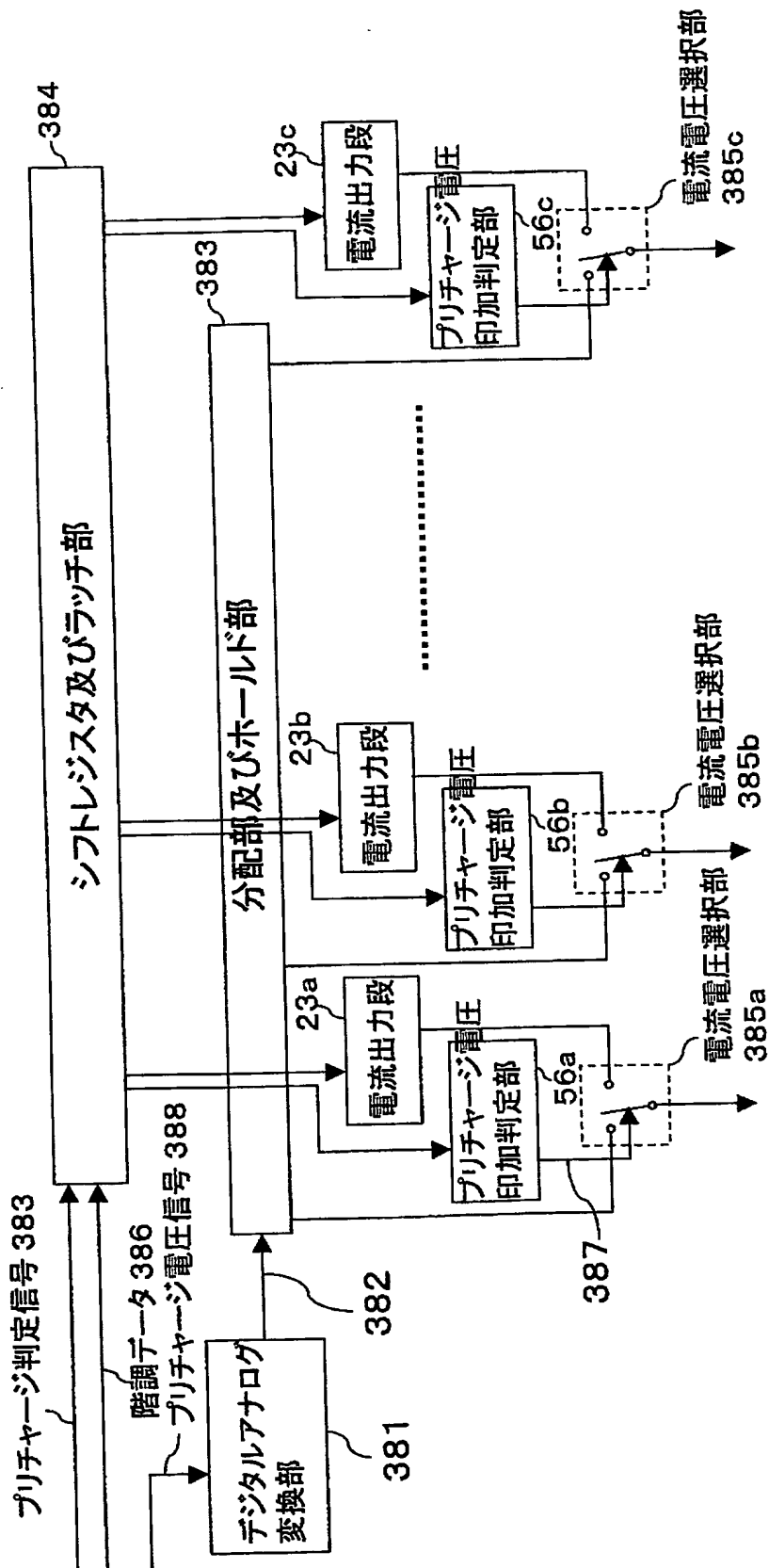


【図 37】

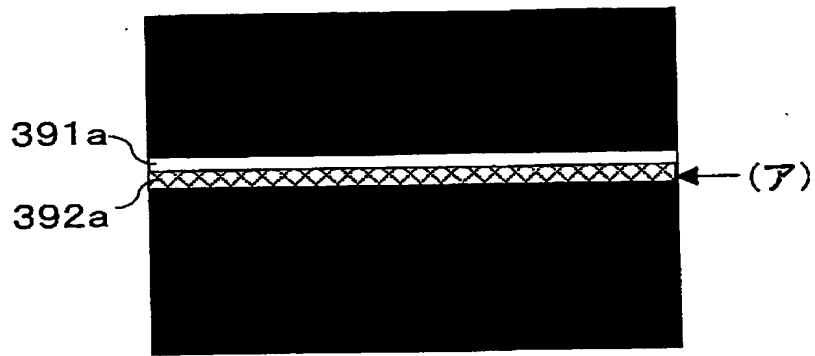
階調	第(2N)のフレーム	第(2N+1)のフレーム	印加電圧の平均値
0、1、2、3	V1	V1	5.20V
4、5、6、7	V1	V2	5.15V
8、9、10、11	V2	V2	5.10V
12、13、14、15	V3	V1	5.05V
16、17、18、19	V2	V3	5.00V
20、21、22、23	V3	V3	4.90V
24以上	電圧印加なし	電圧印加なし	電圧印加なし

V1:5.2[V]
V2:5.1[V]
V3:4.9[V]
の場合

【図 38】



【図 39】

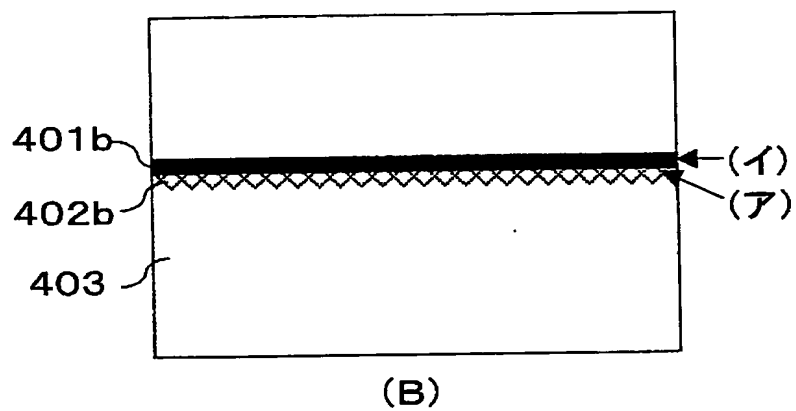
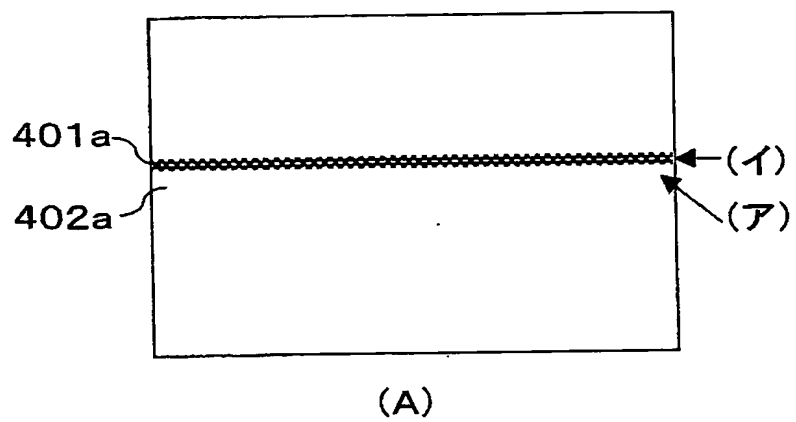


(A)

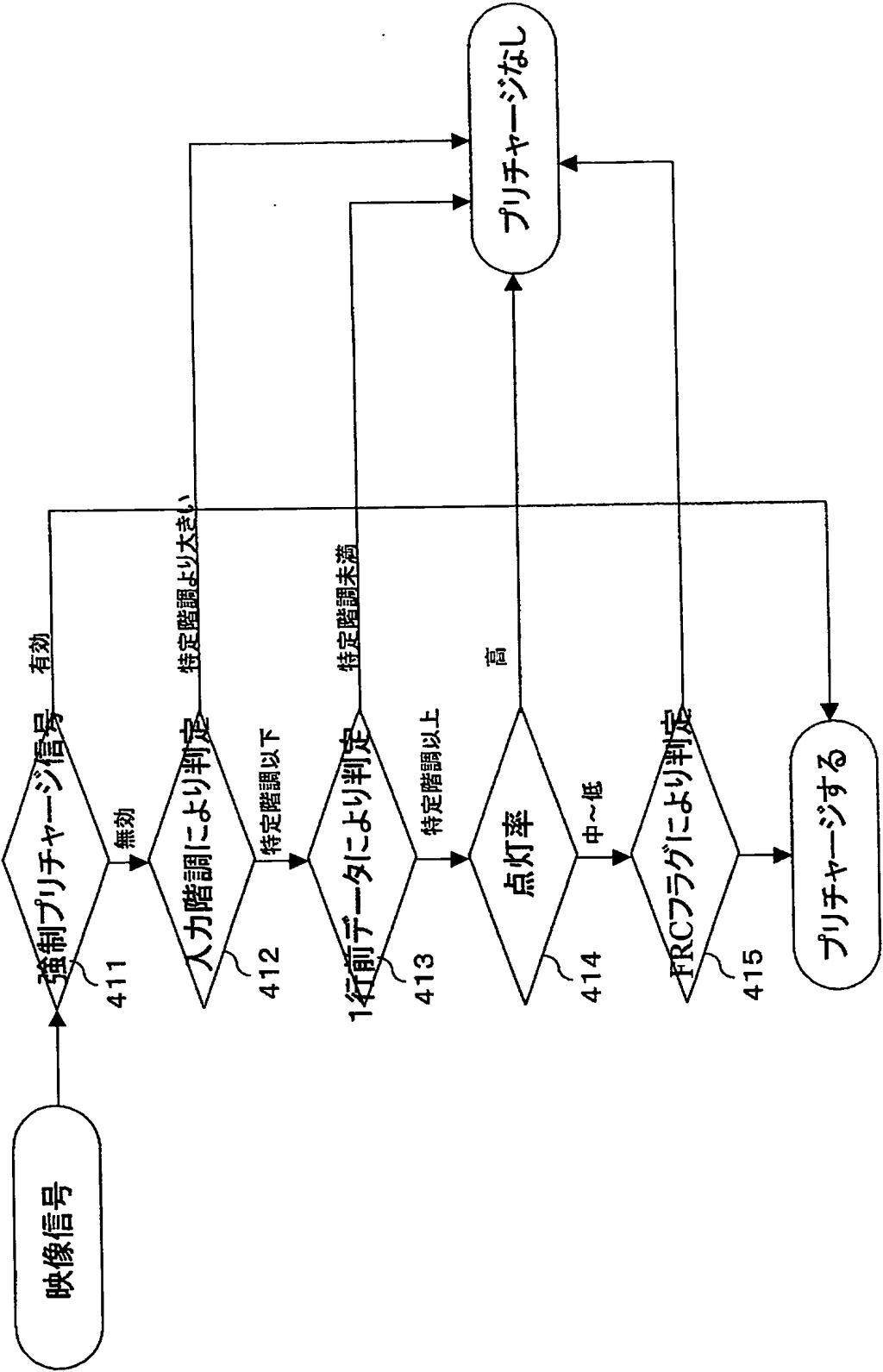


(B)

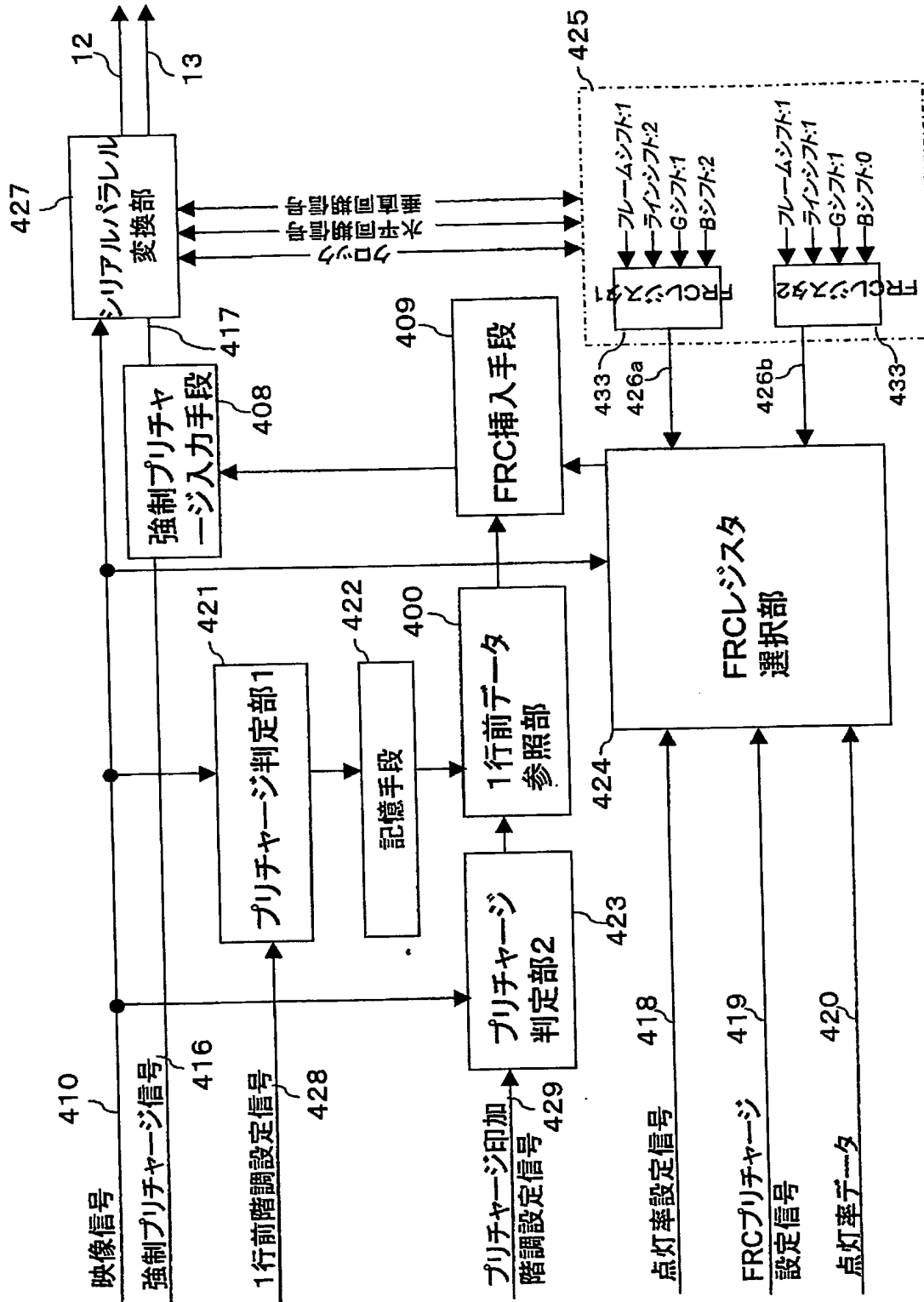
【図 40】



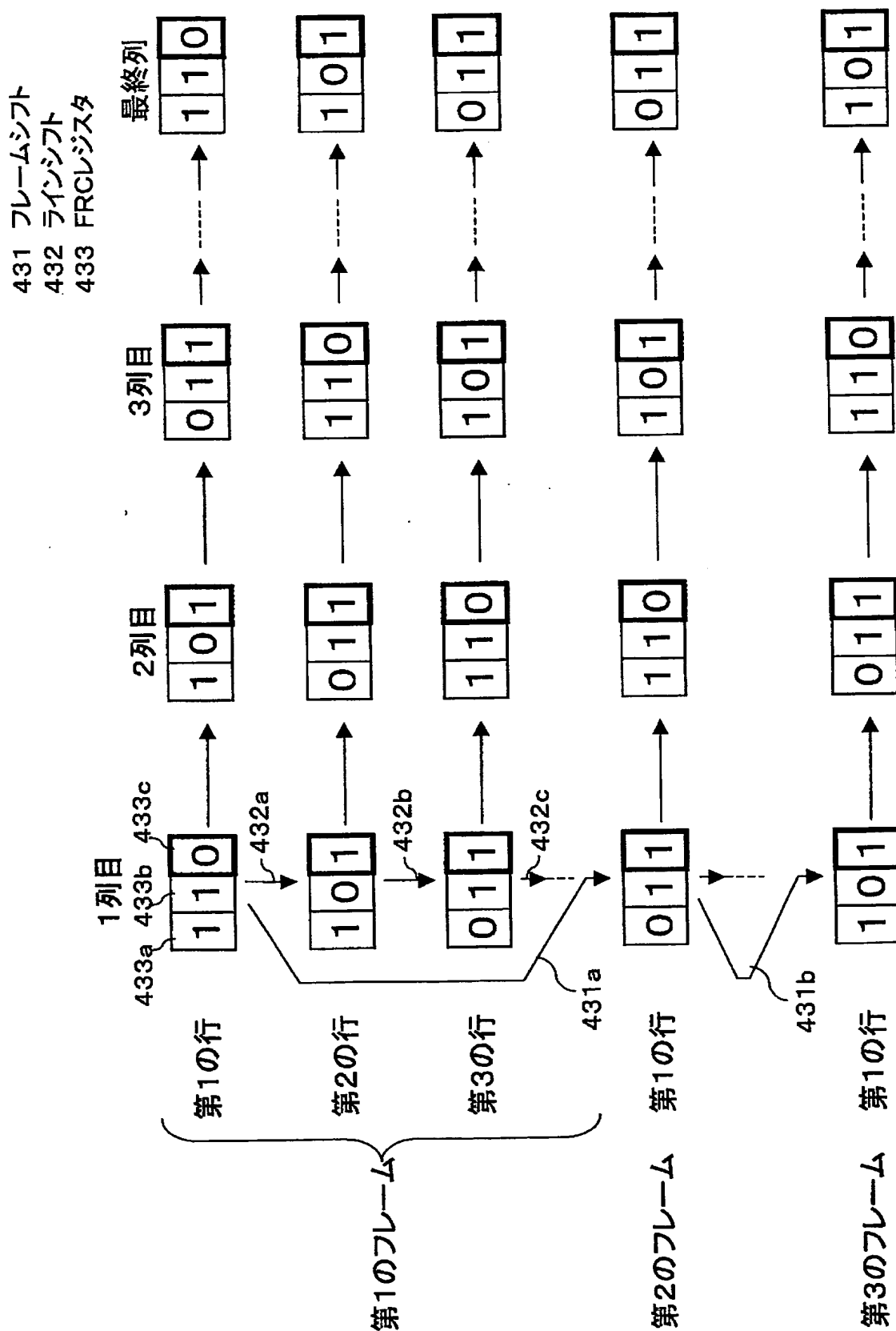
【図 4 1】



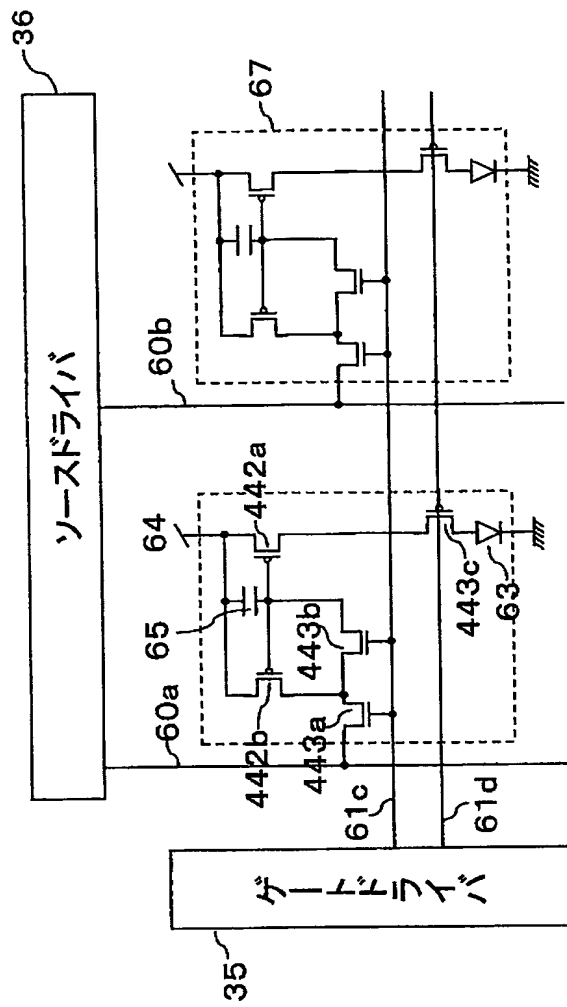
【図42】



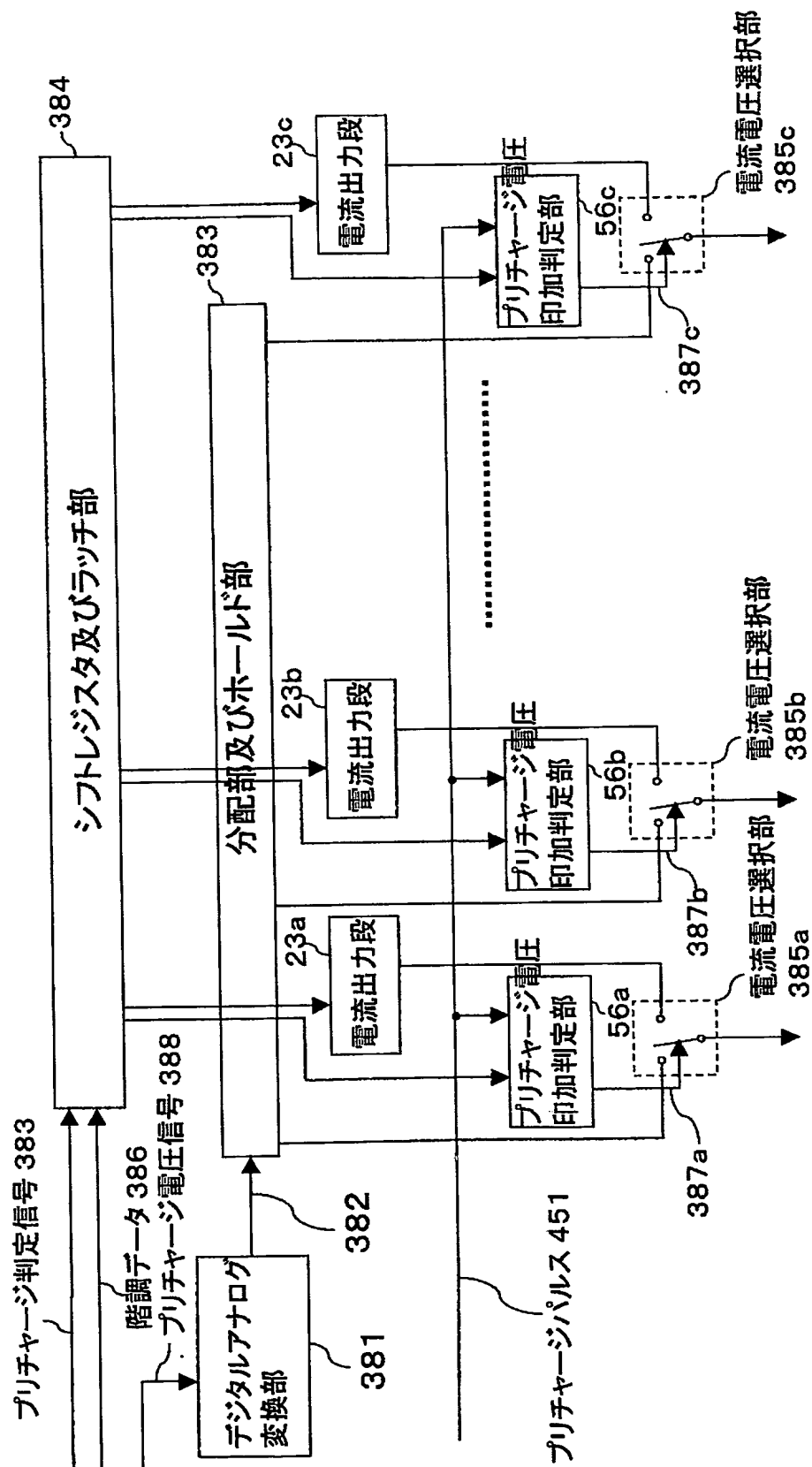
【図 4 3】



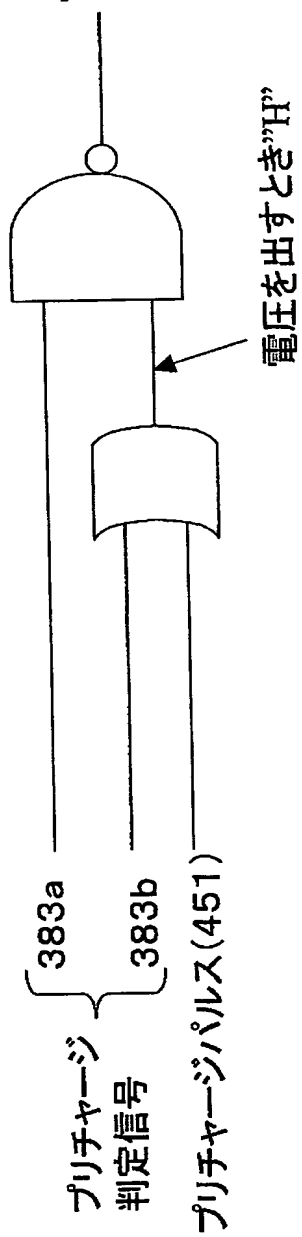
【図 44】



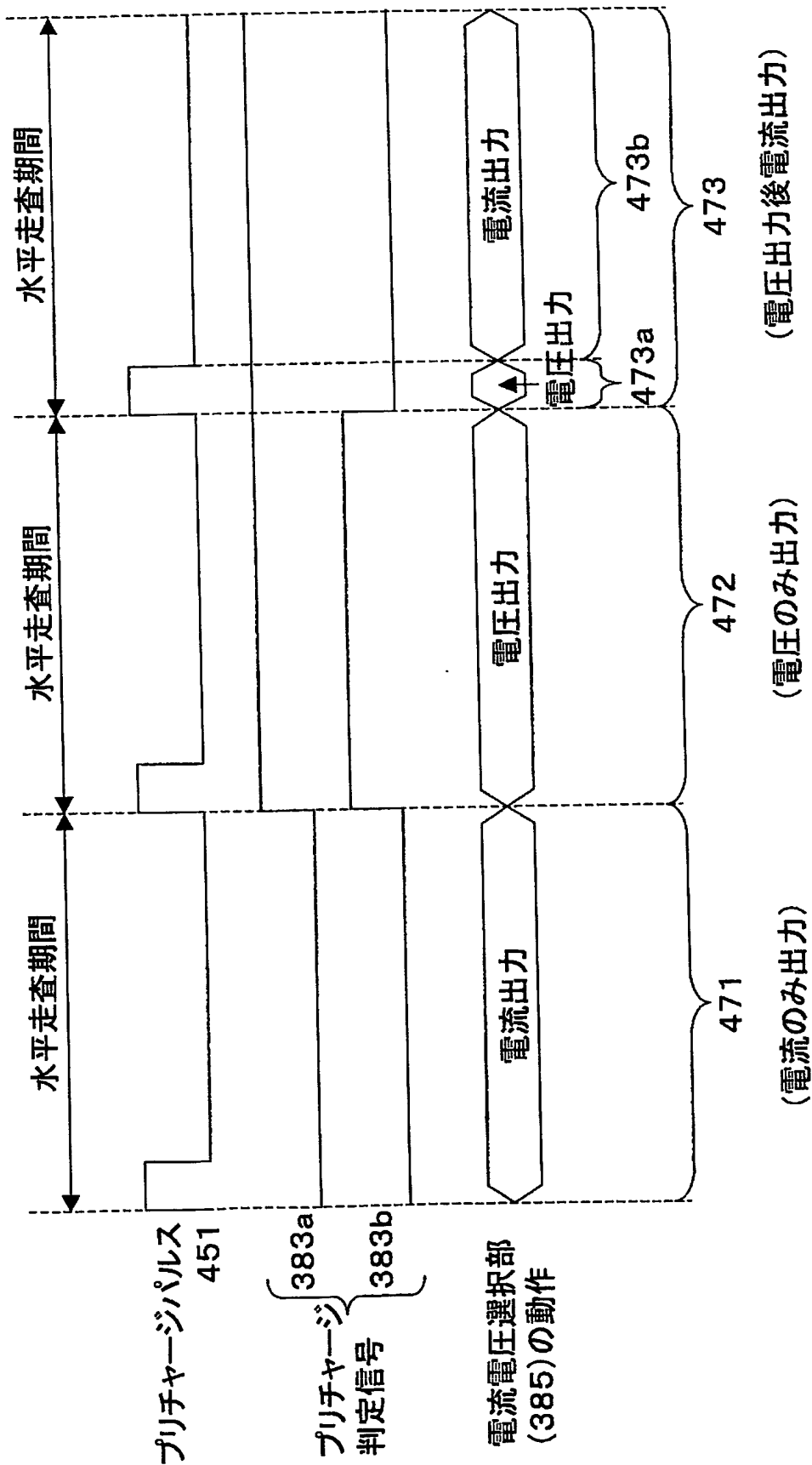
【図 45】



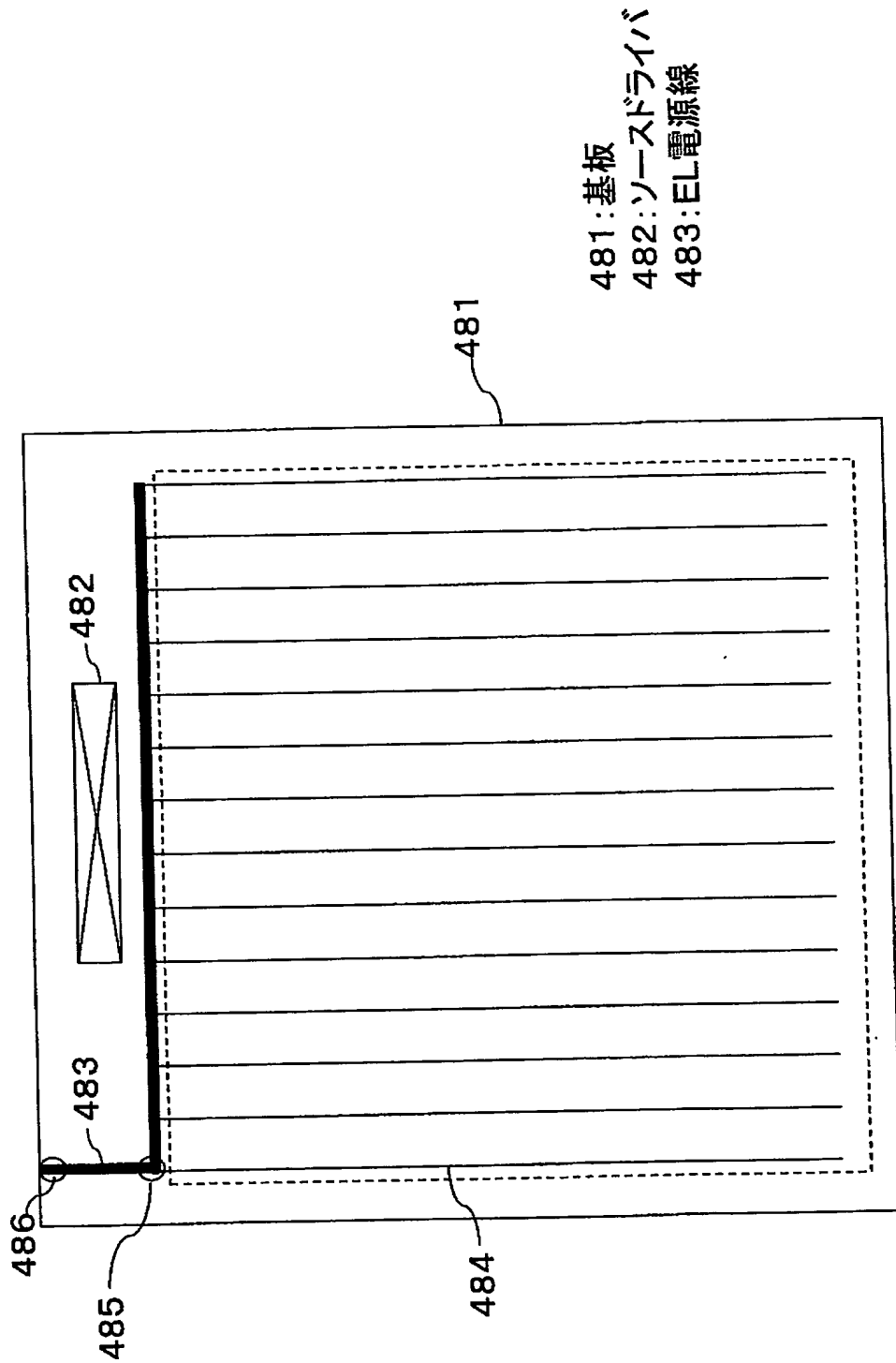
【図 46】



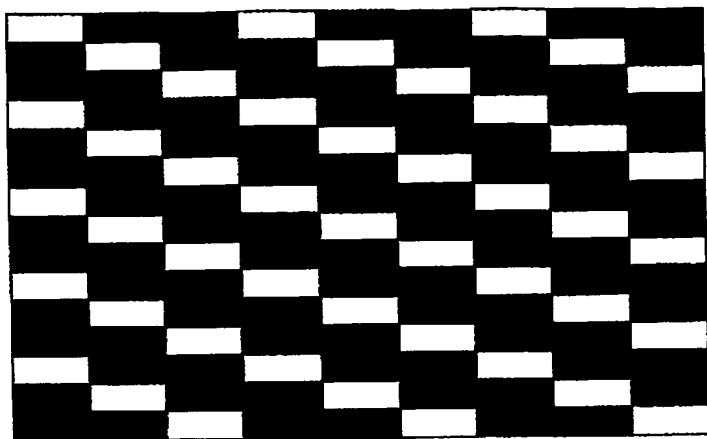
【図 47】



【図 48】



【図 4 9】

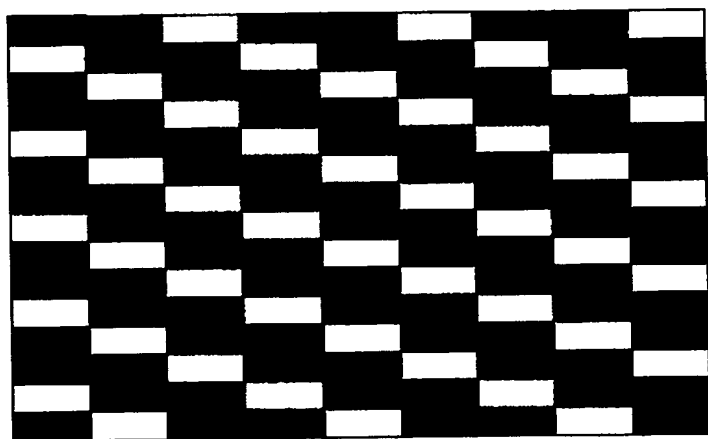


(C)

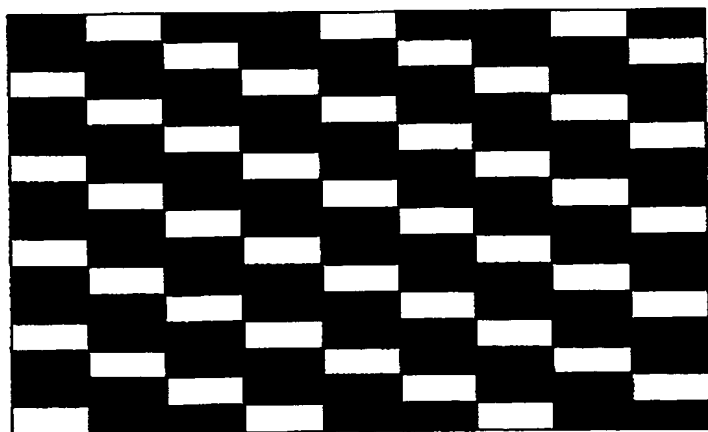
プリチャージありの画素(491)



プリチャージなしの画素(492)



(B)

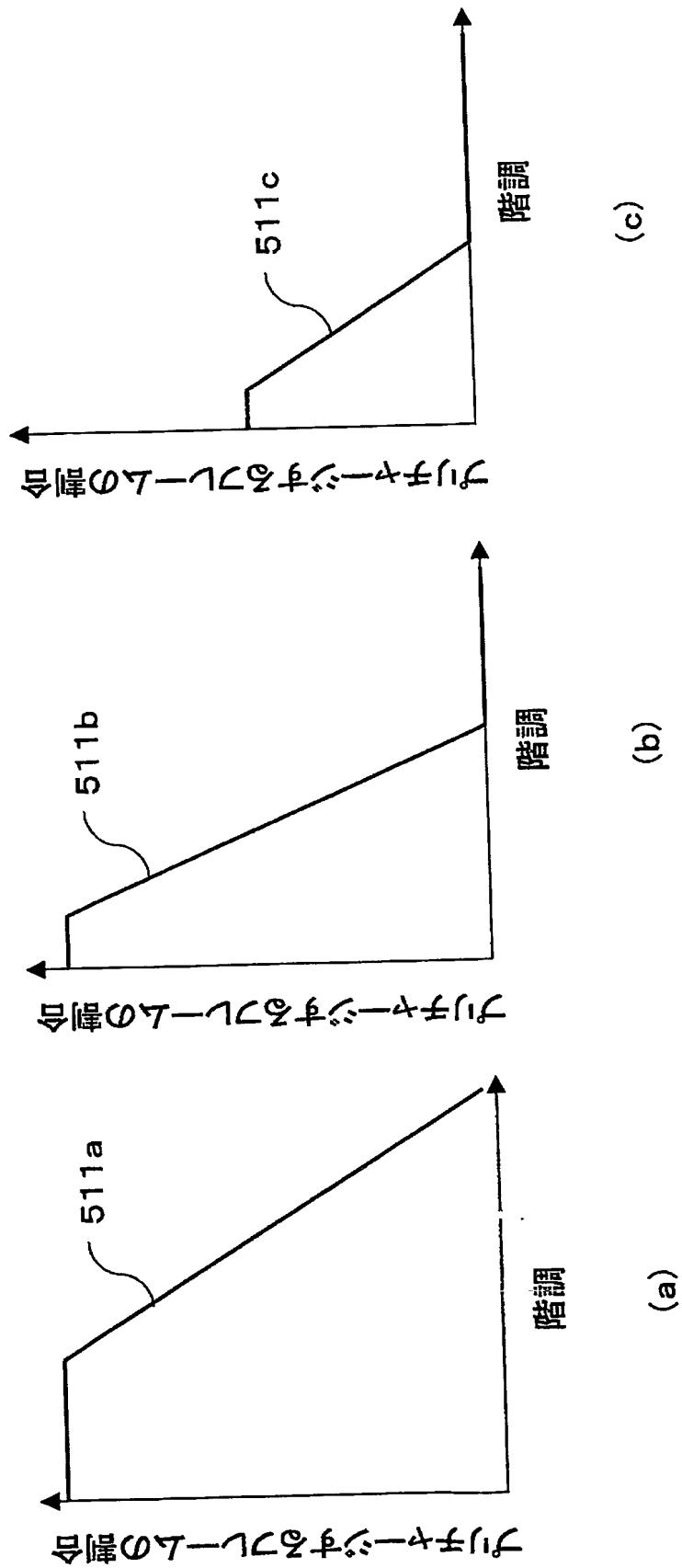


(A)

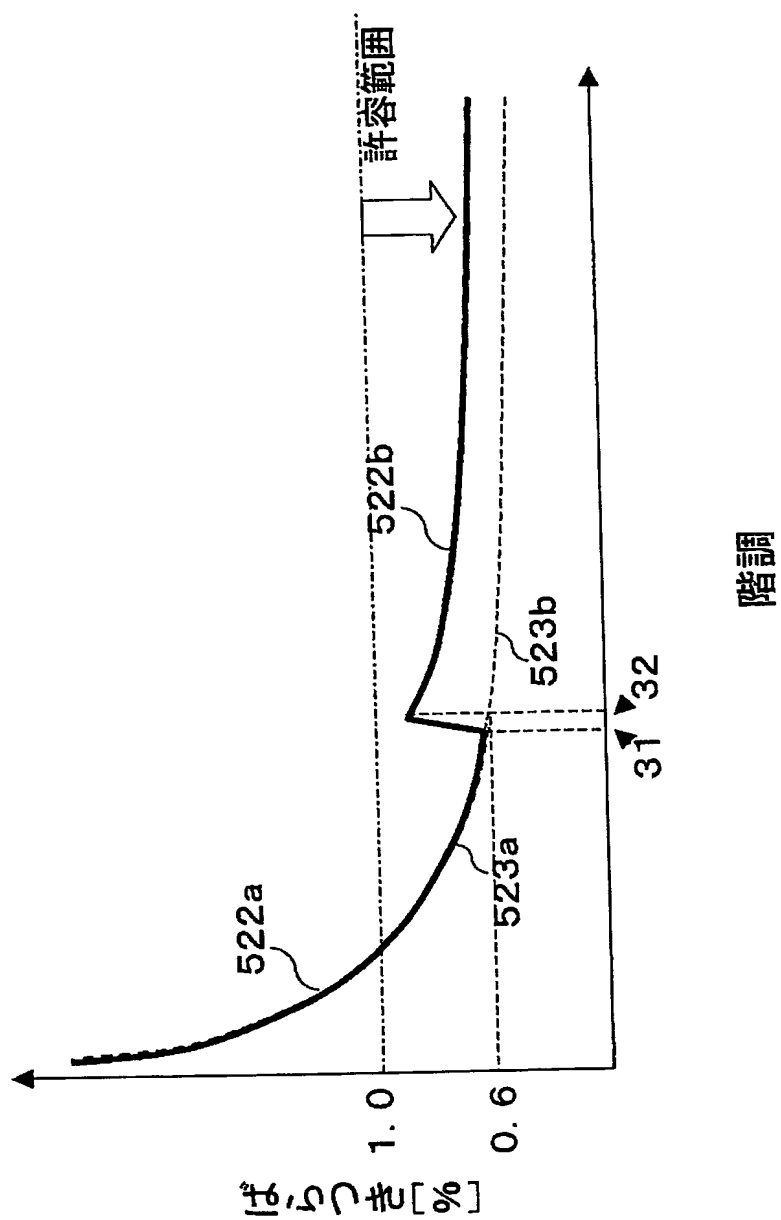
【図 5 0】

階調	プリチャージ印加パターン
0~2	毎フレーム印加
3	3フレーム中2フレームで印加
4	2フレーム中1フレームで印加
5以上	印加なし

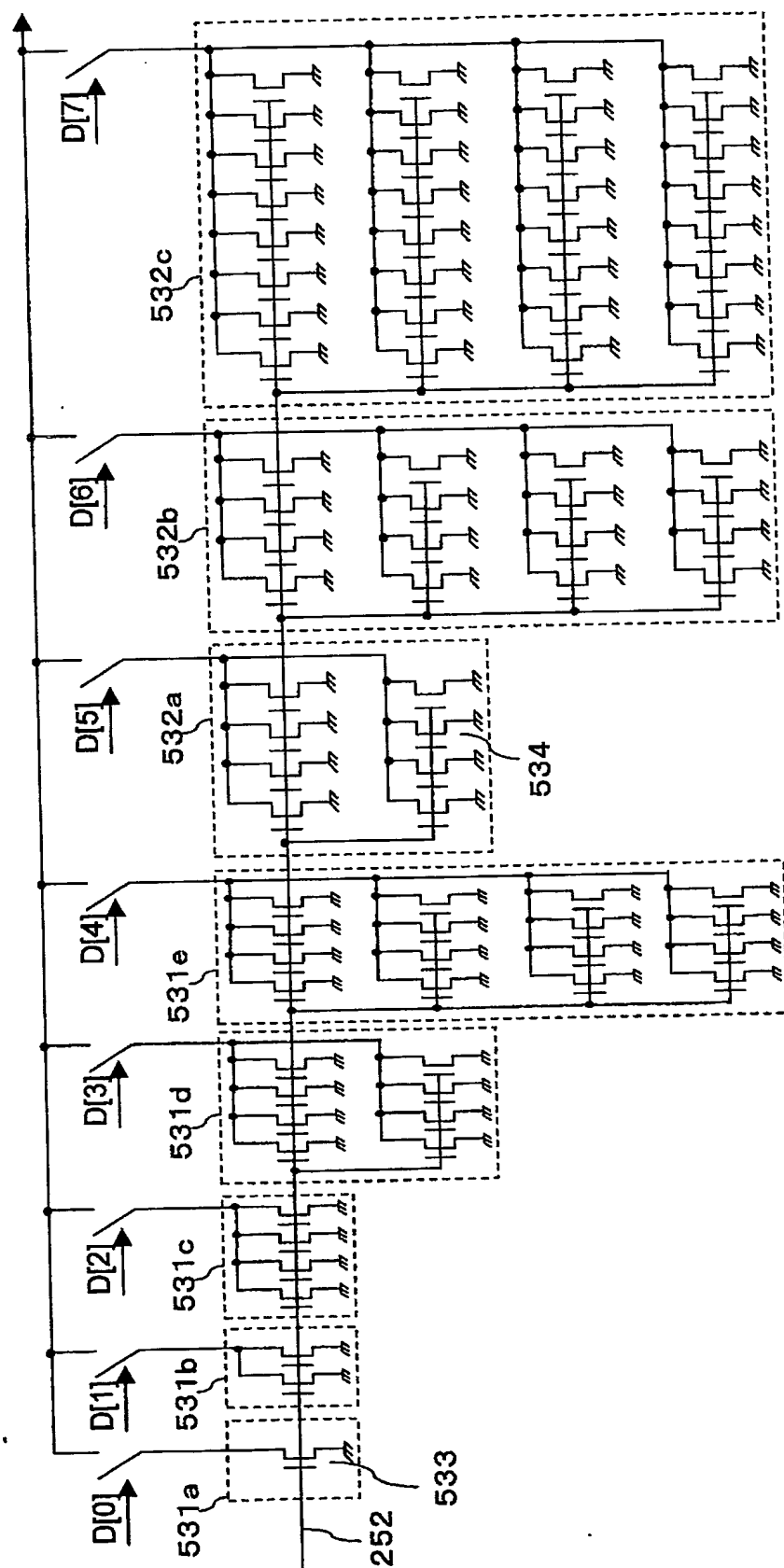
【図 51】



【図 52】



【図 53】



【図 54】

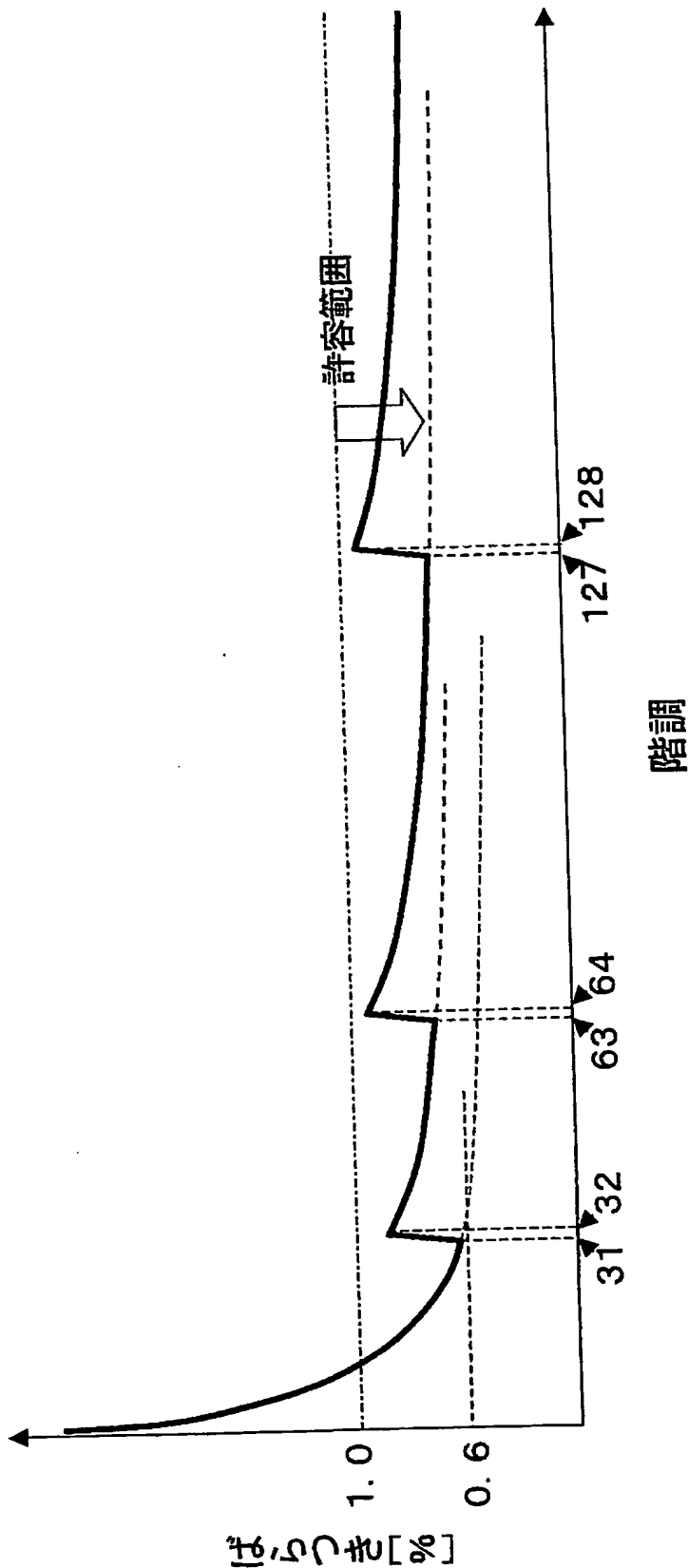
トランジスタ群	トランジスタ群の特性		
	チャネル幅 [μm]	チャネル長 [μm]	出力電流ばらつき [%]
531a	1.5	50	3.1
531b			2.3
531c			1.6
531d			1.1
531e			0.8
532a	6.0		0.6
532b			0.4
532c			0.3

(b)

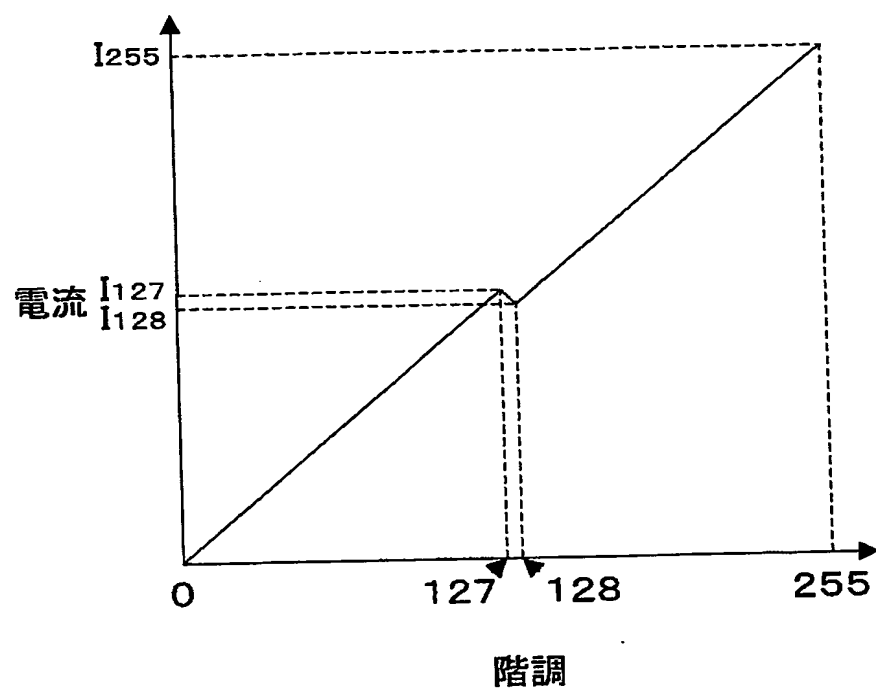
トランジスタ群	トランジスタ群の特性		
	チャネル幅 [μm]	チャネル長 [μm]	出力電流ばらつき [%]
531a	1.5	50	3.1
531b			2.3
531c			1.6
531d			1.1
531e			0.8
532a	4.2	36	0.8
532b			0.6
532c			0.5

(a)

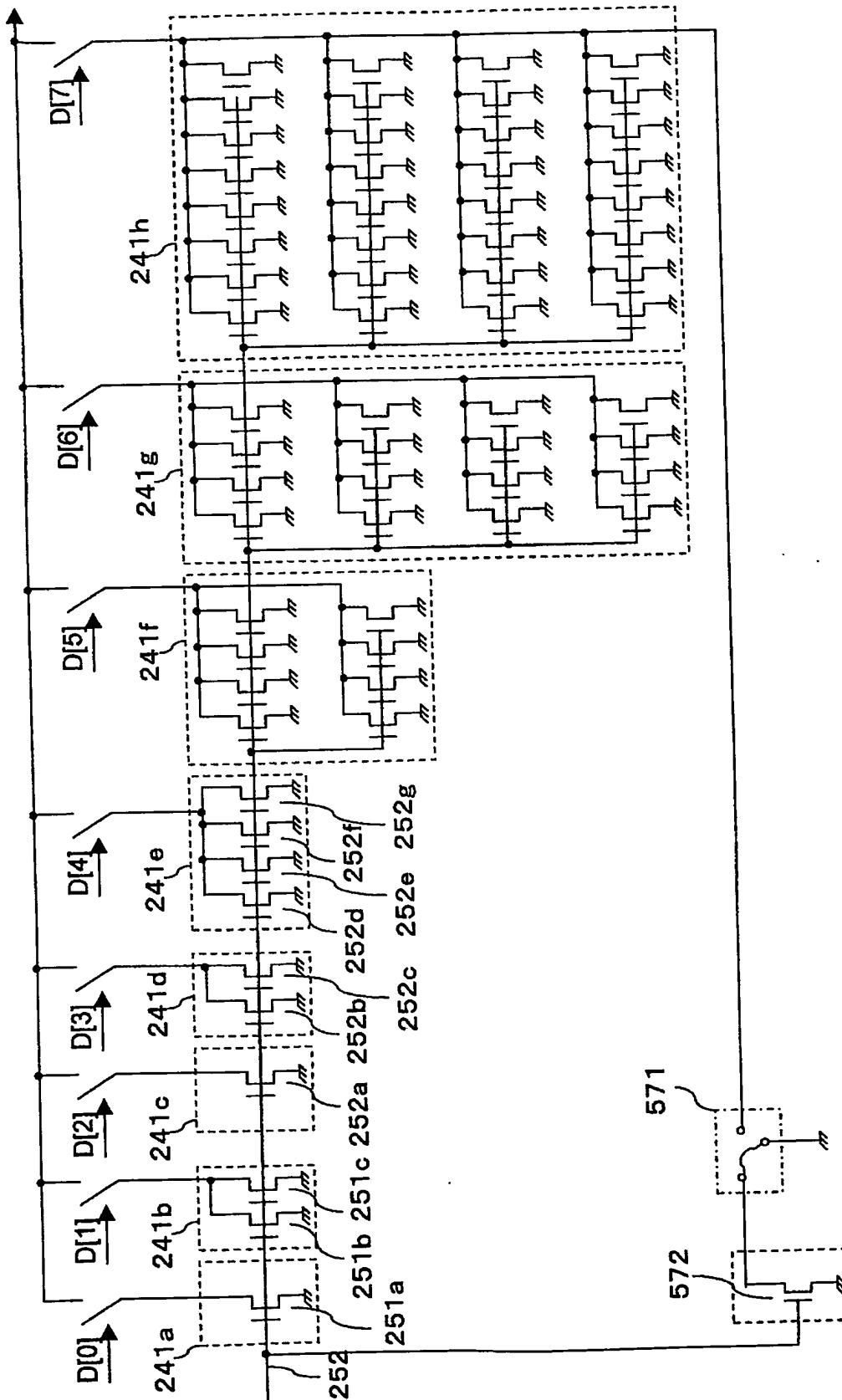
【図 55】



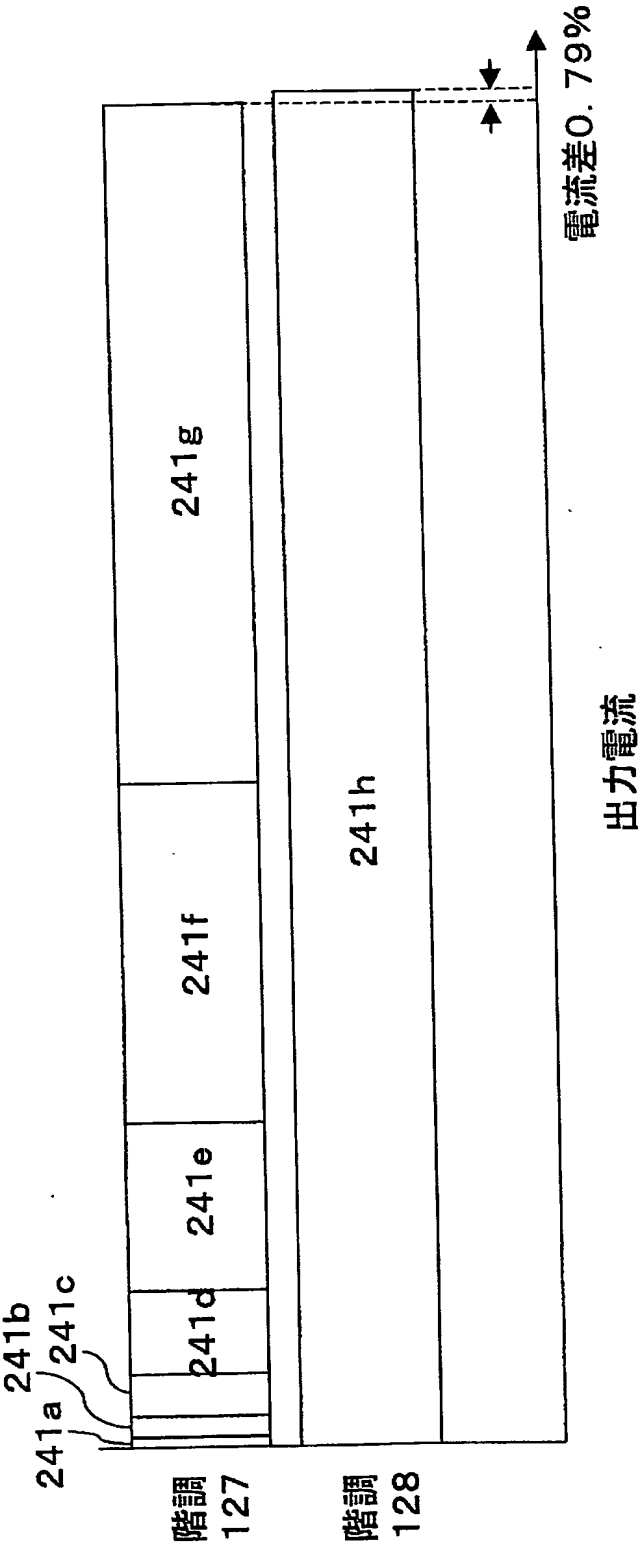
【図 56】



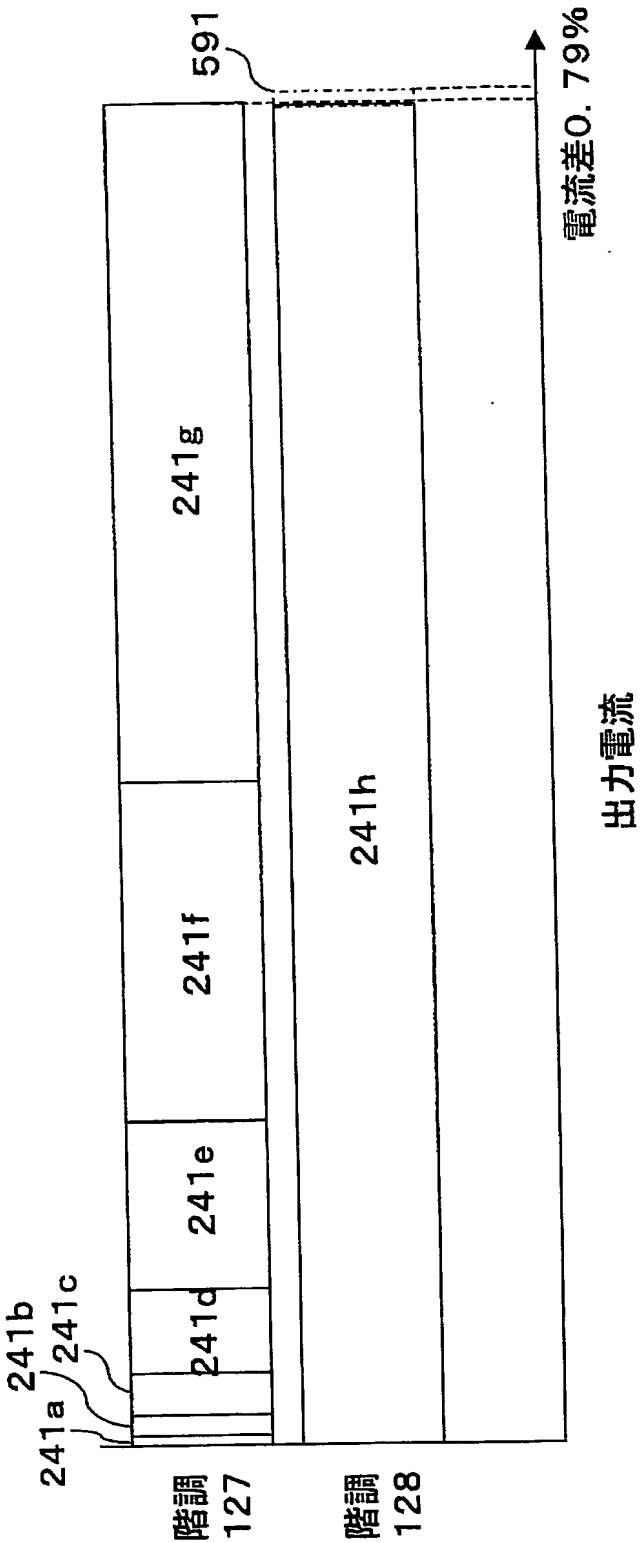
【図 57】



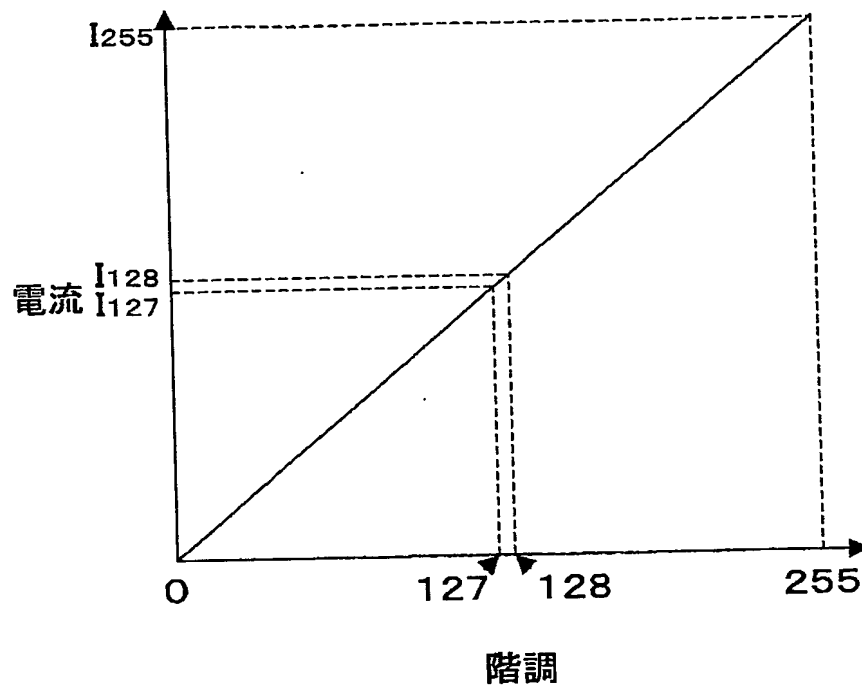
【図 58】



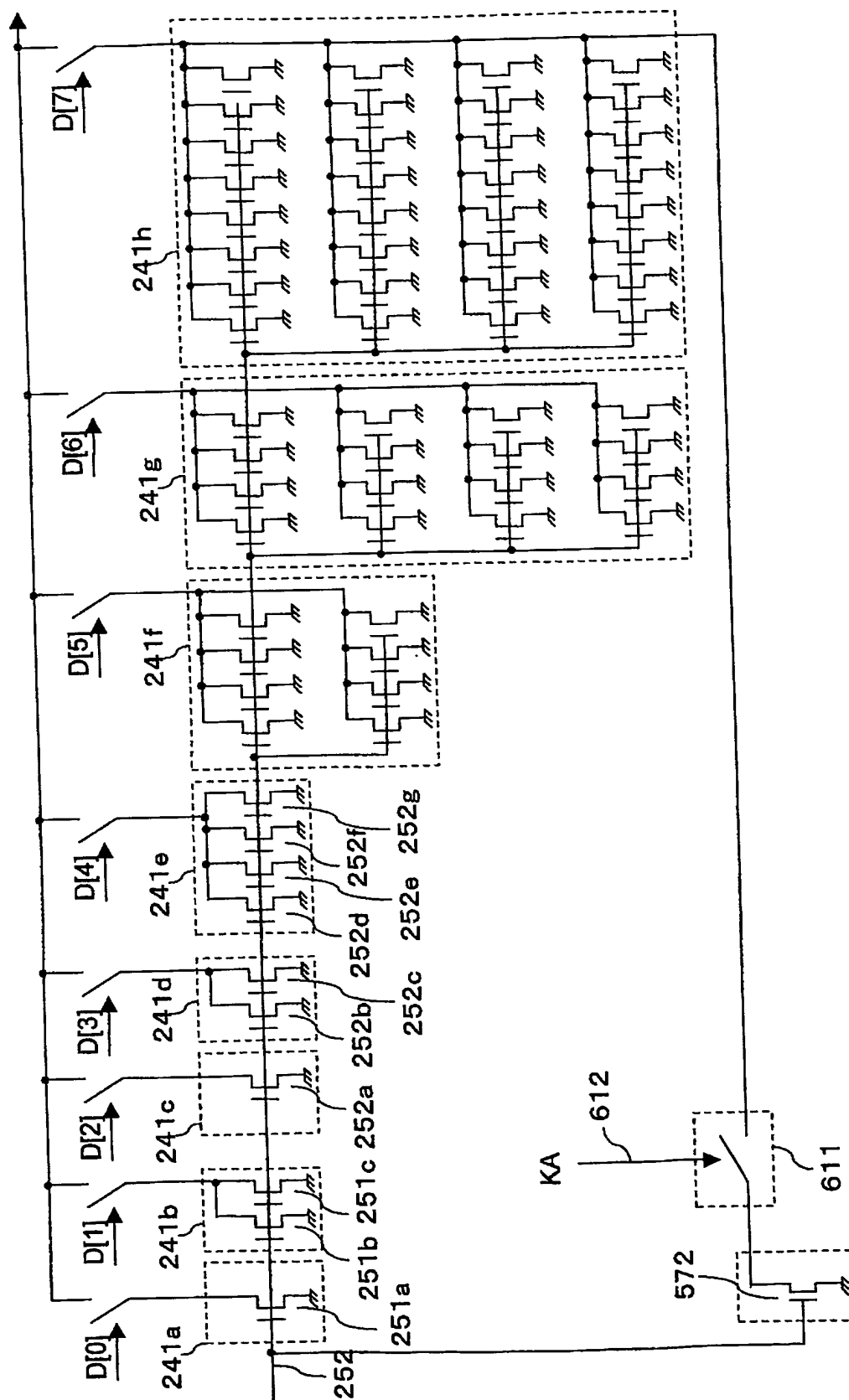
【図 59】



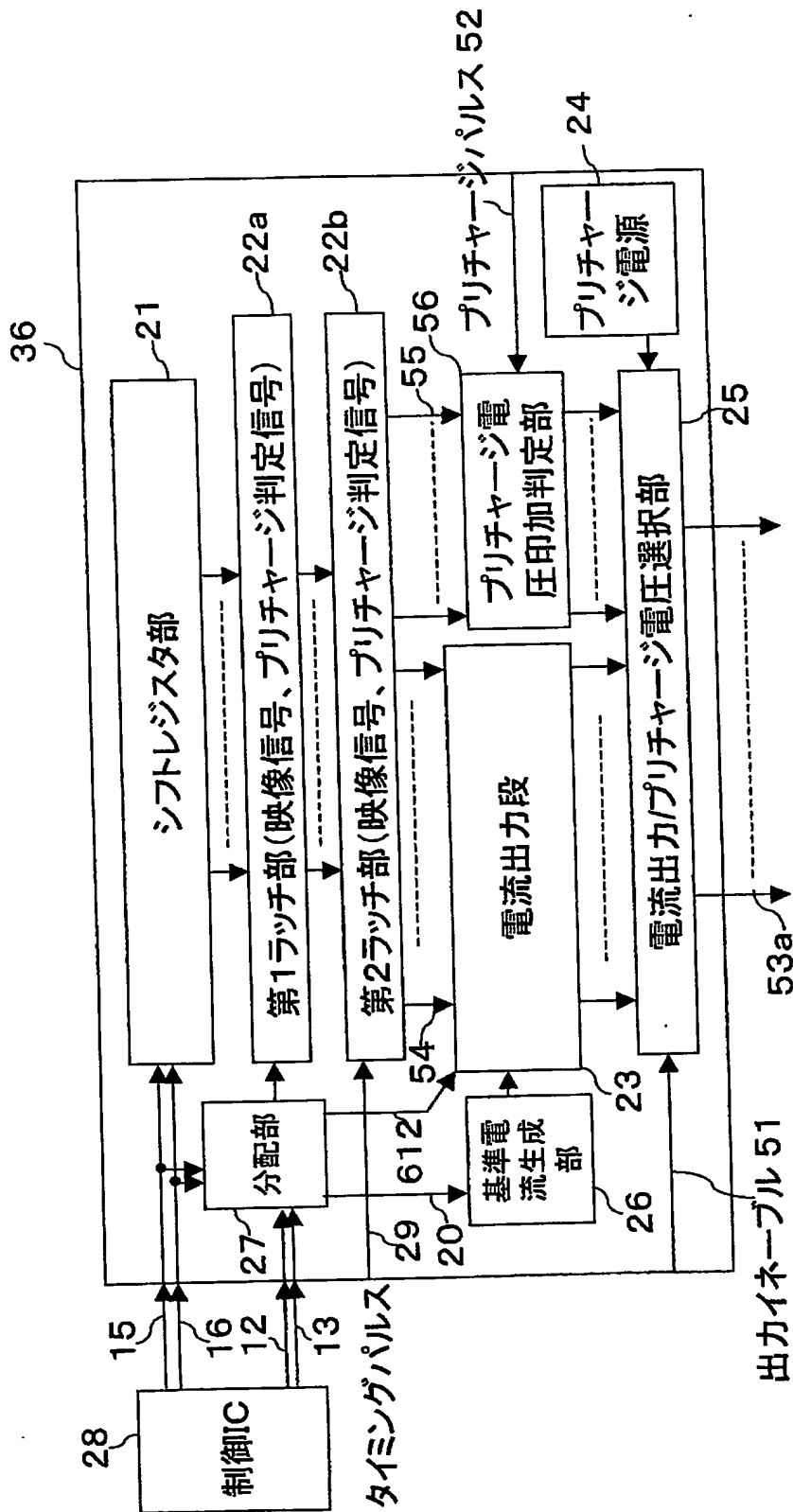
【図 60】



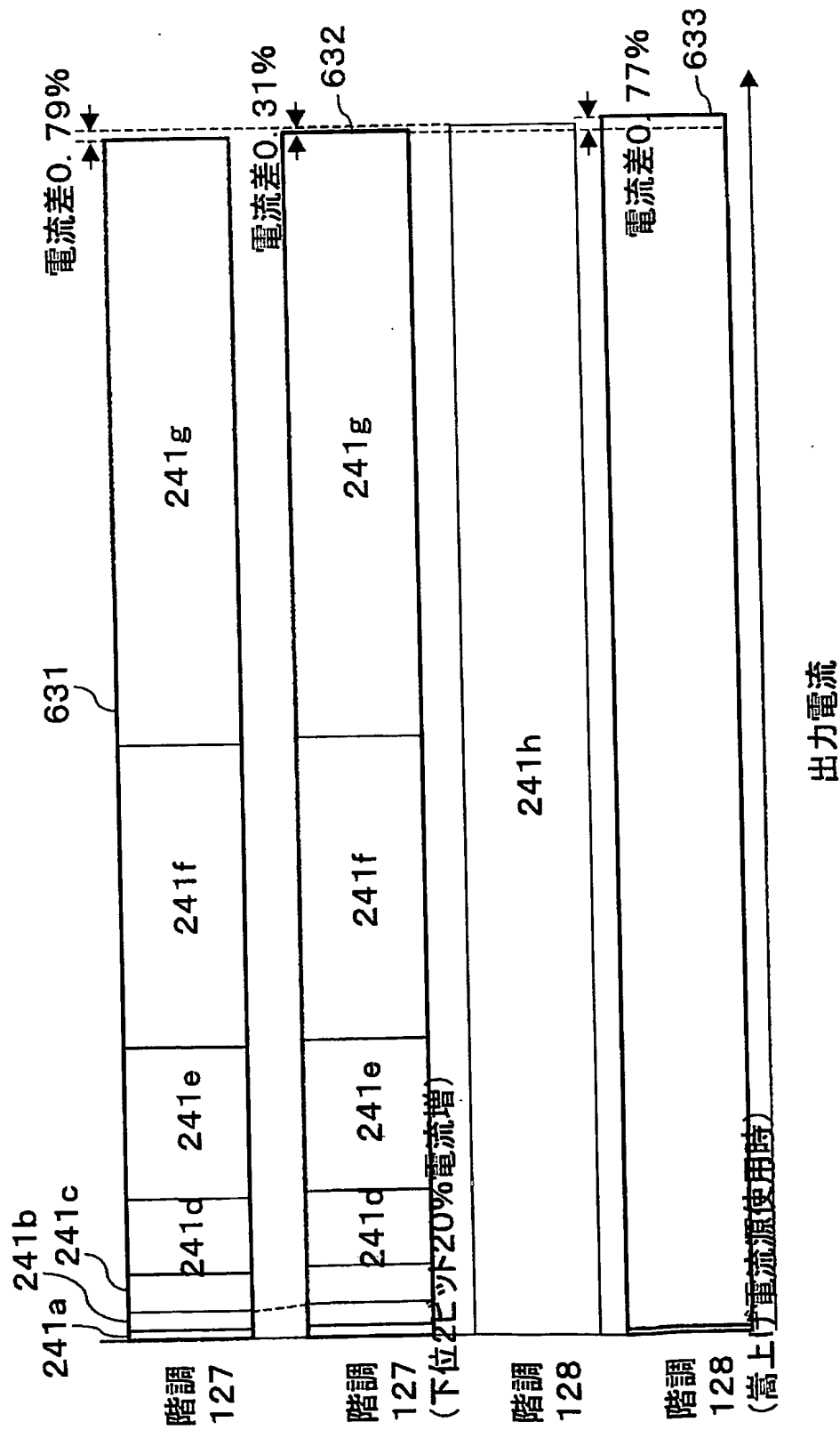
【図 61】



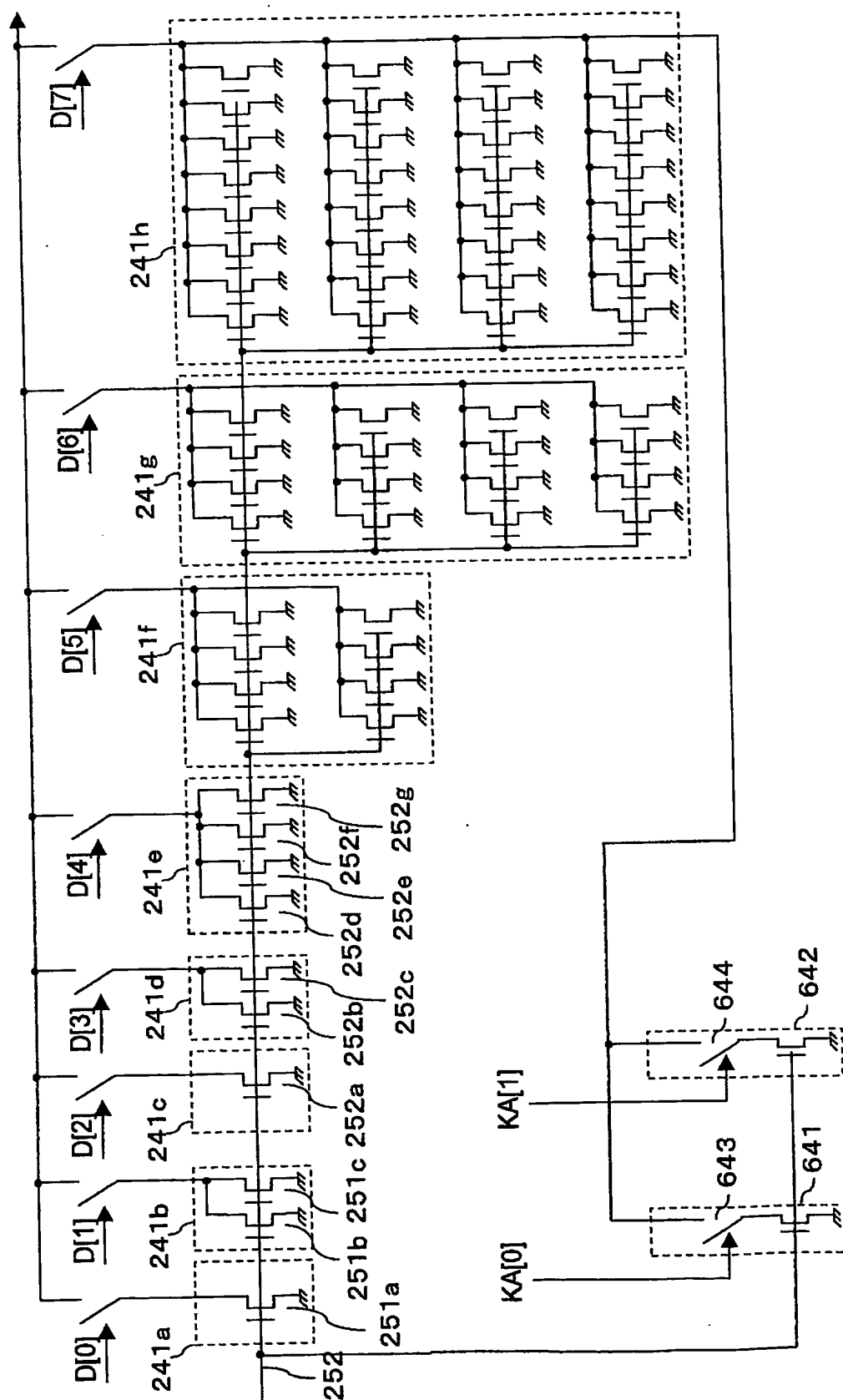
【図 62】



【図 63】



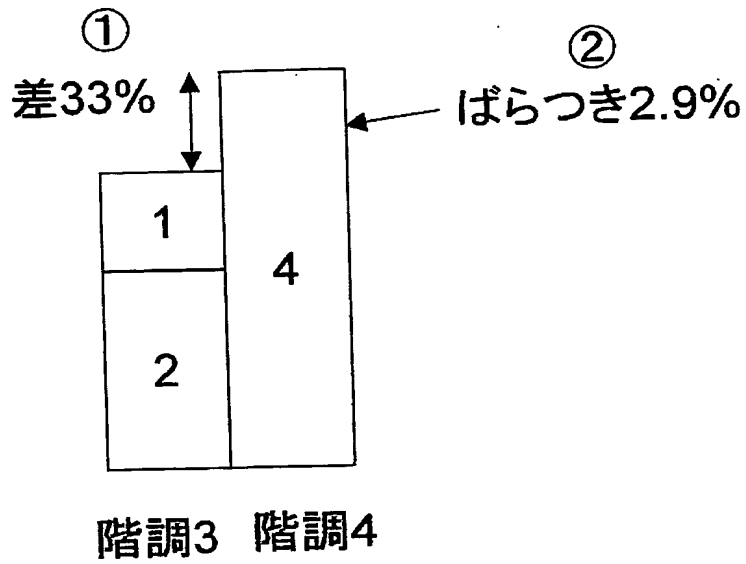
【図 6 4】



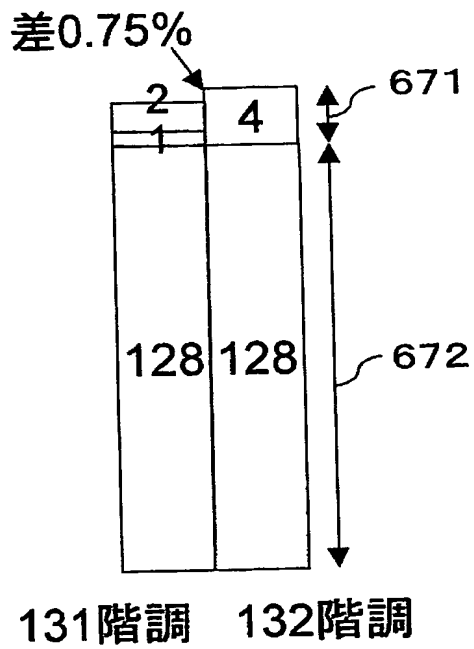
【図 65】

階調間	輝度差	ばらつき	階調反転
1~2	100%	3.3%	しない
3~4	33%	2.9%	しない
7~8	14.3%	2.3%	しない
15~16	6.7%	1.7%	しない
31~32	3.2%	1.4%	しない
63~64	1.59%	1.1%	しない
127~128	0.79%	0.89%	起こりうる
191~192	0.52%	0.37%	しない

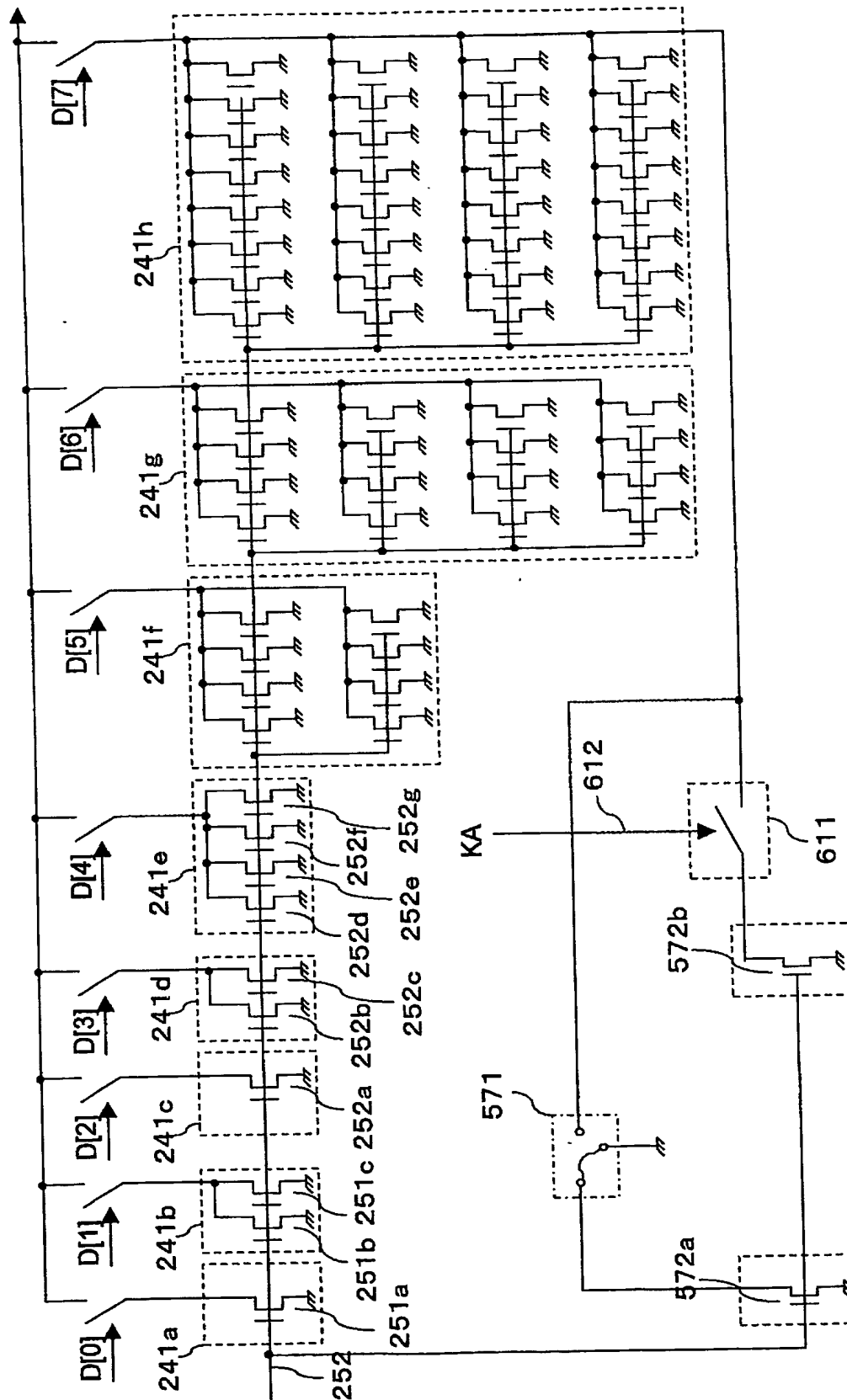
【図 66】



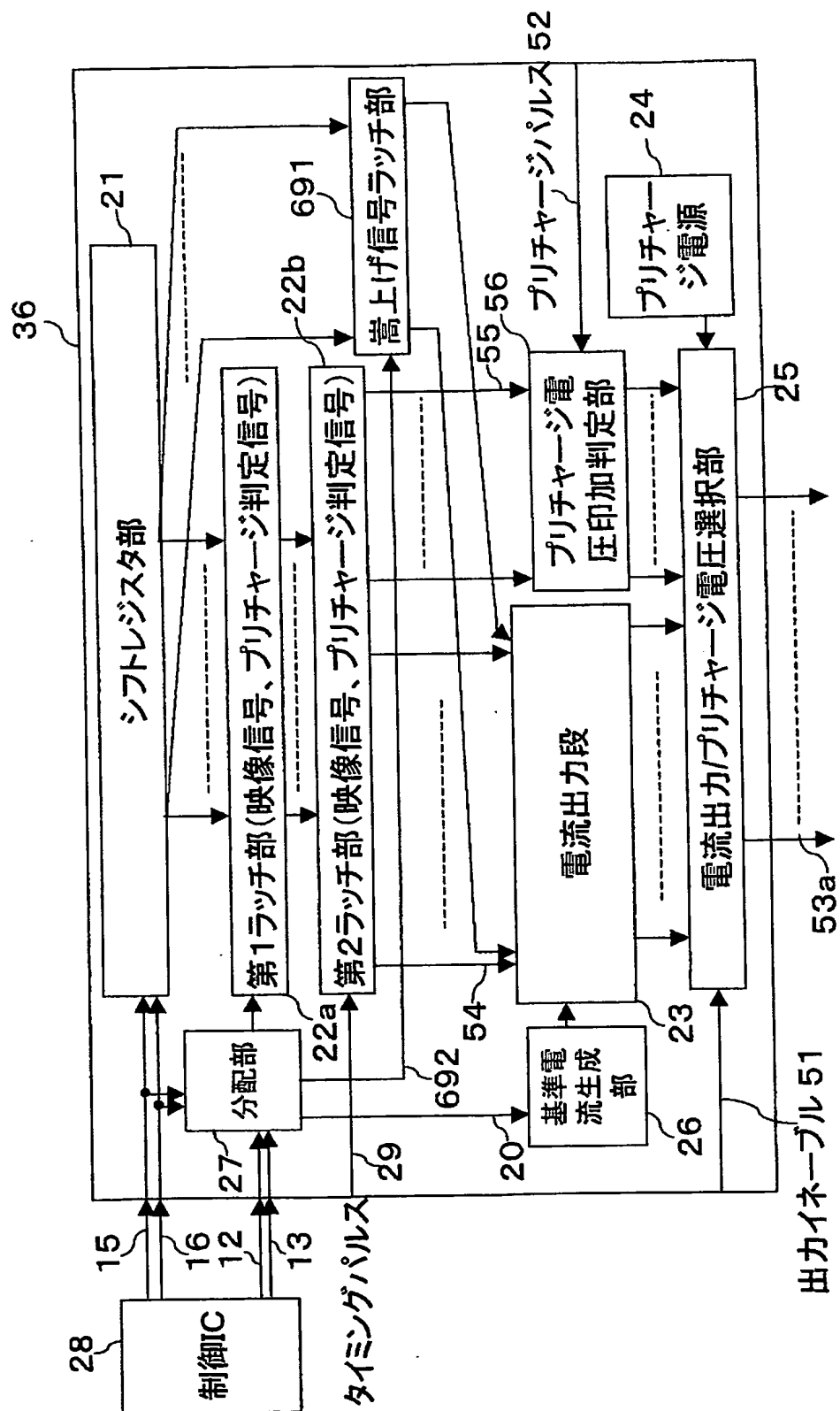
【図 67】



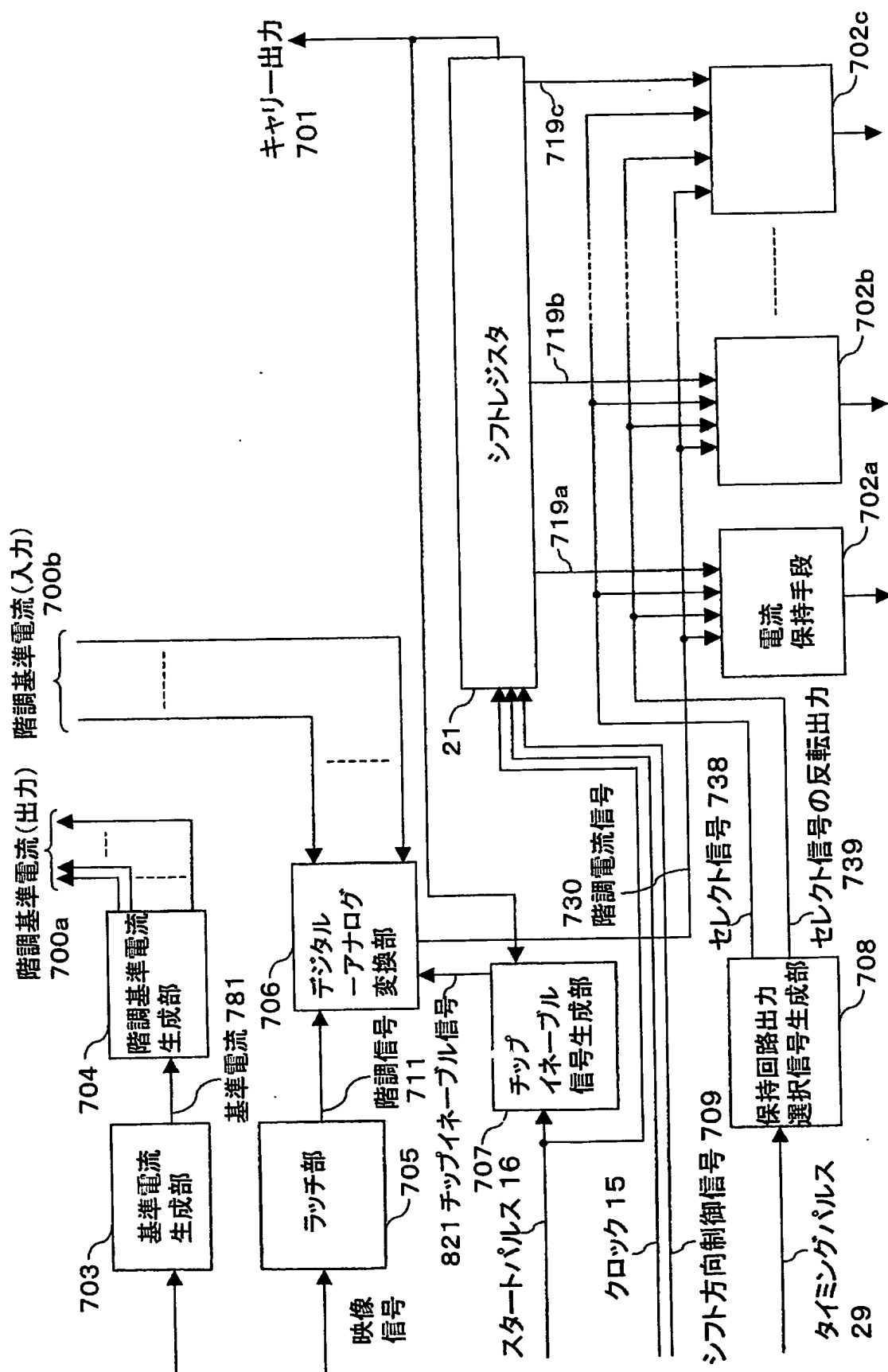
【図 68】



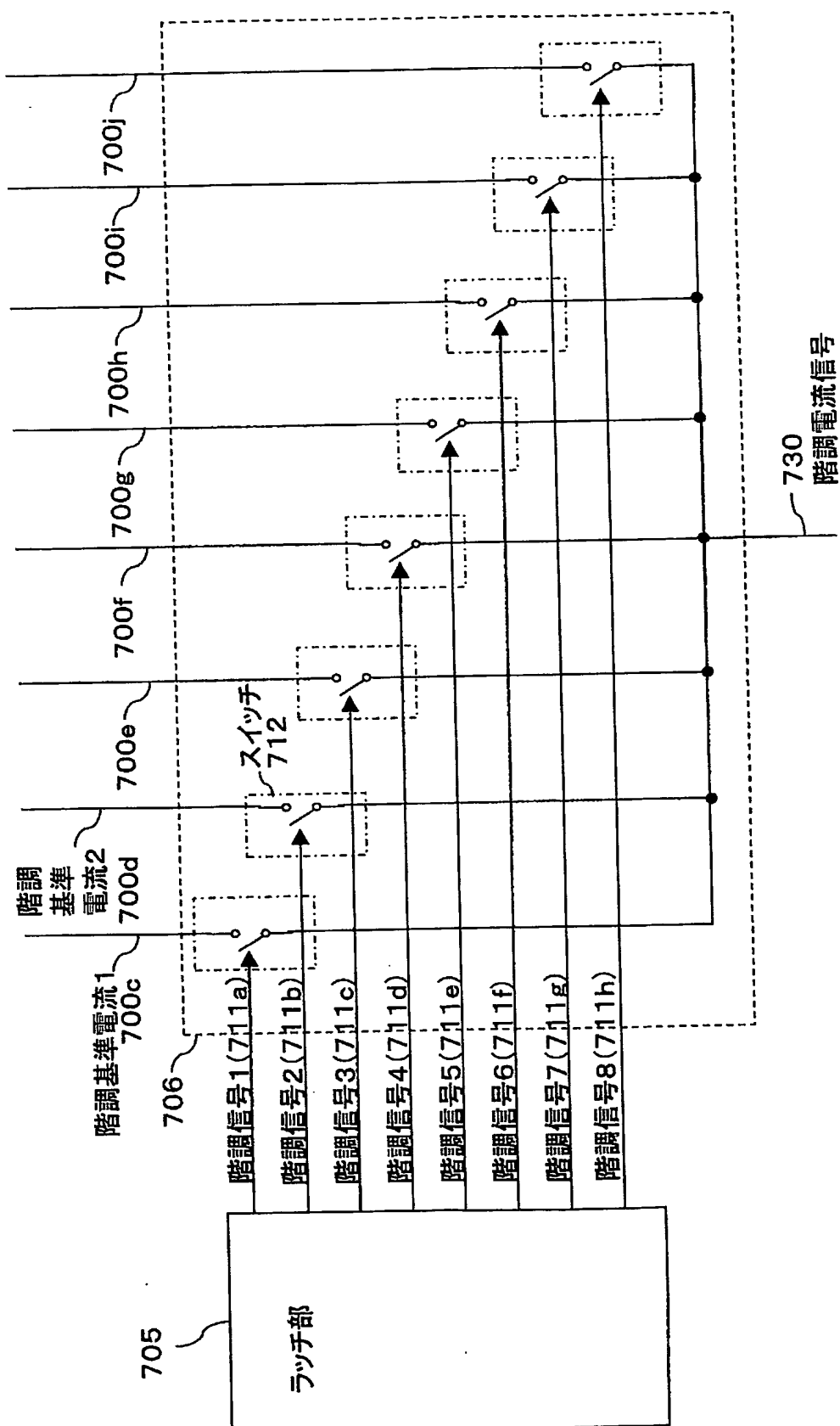
【図 6 9】



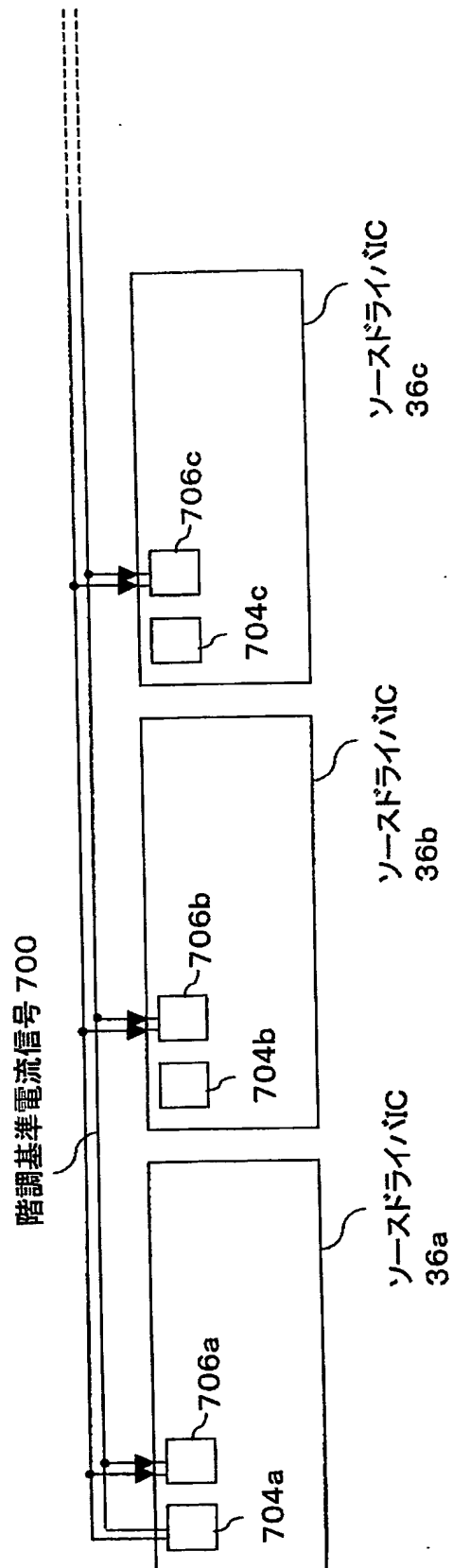
【図 70】



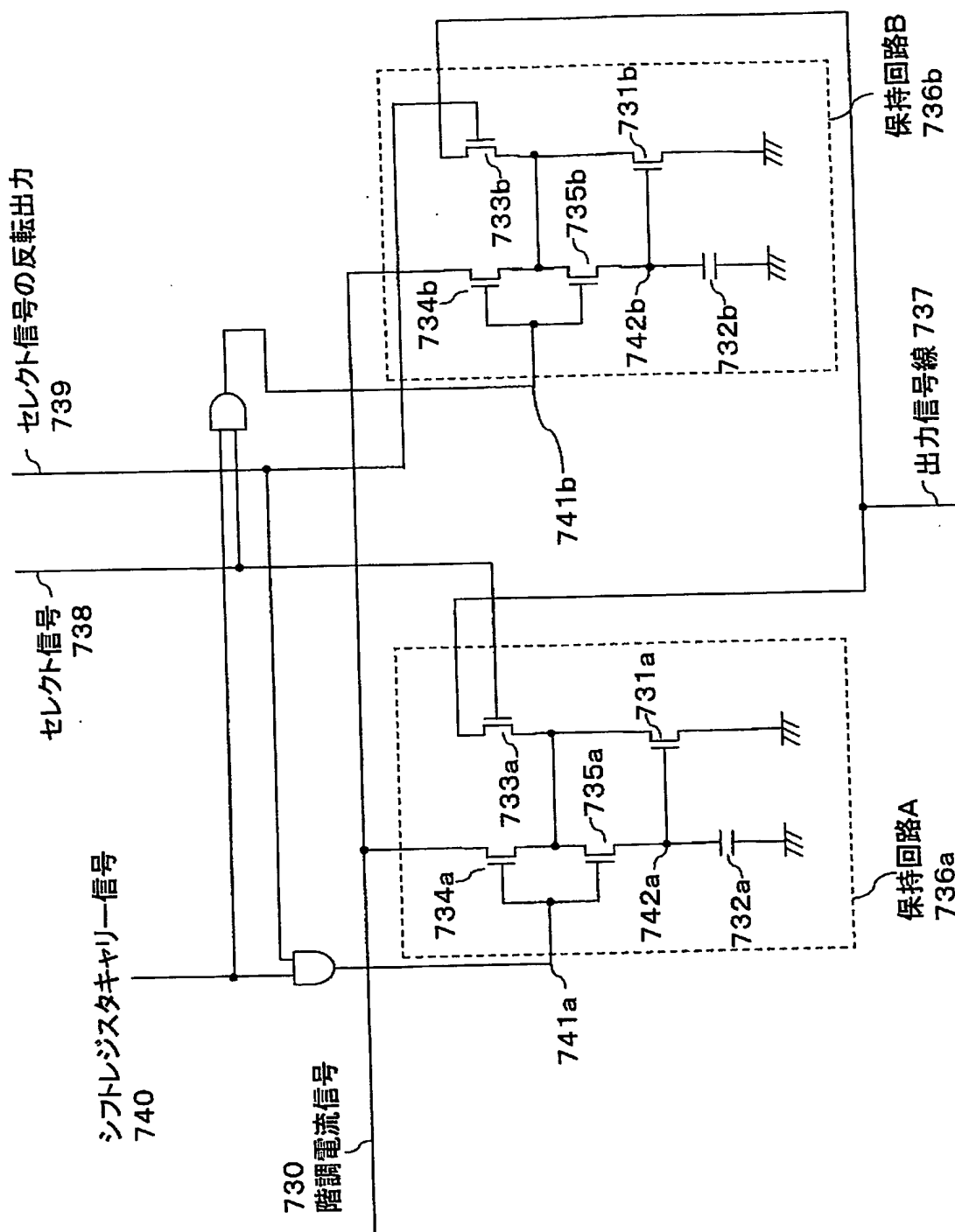
【图 7 1】



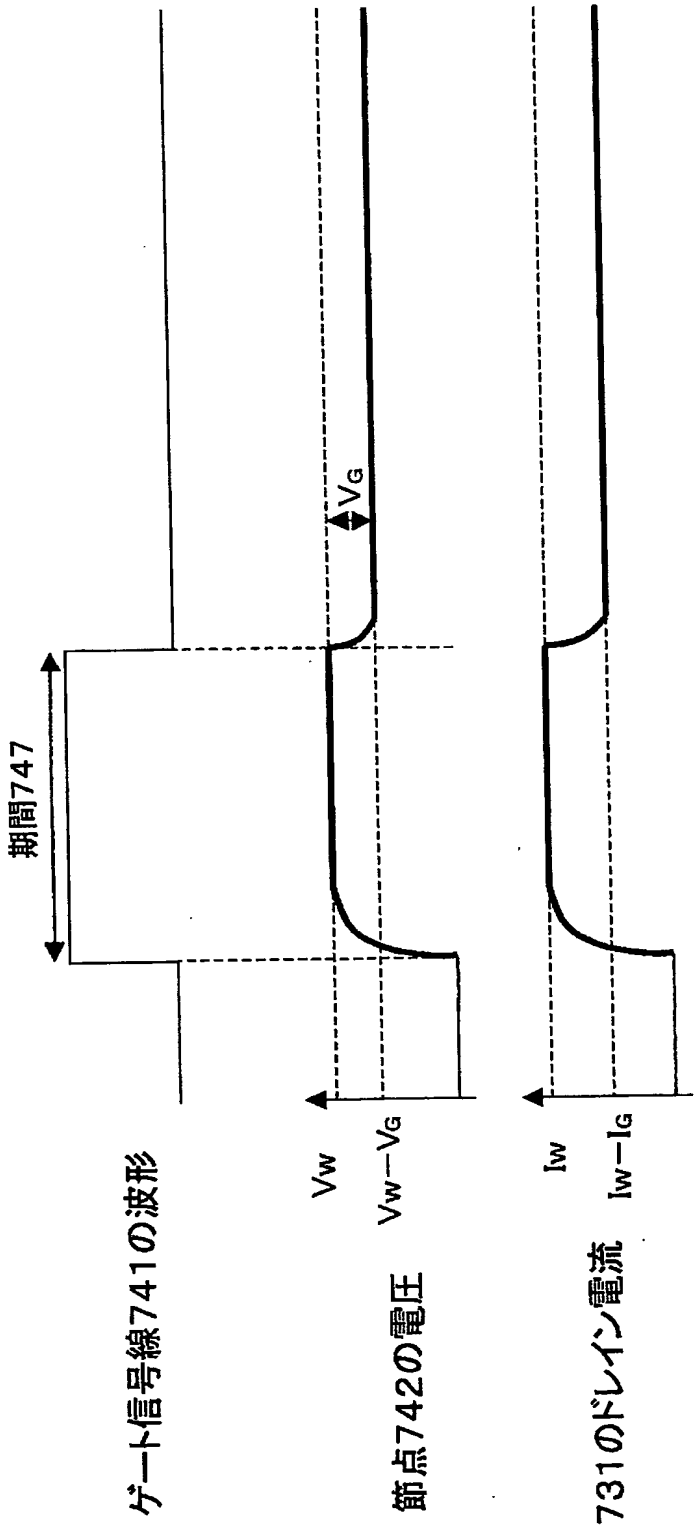
【図 72】



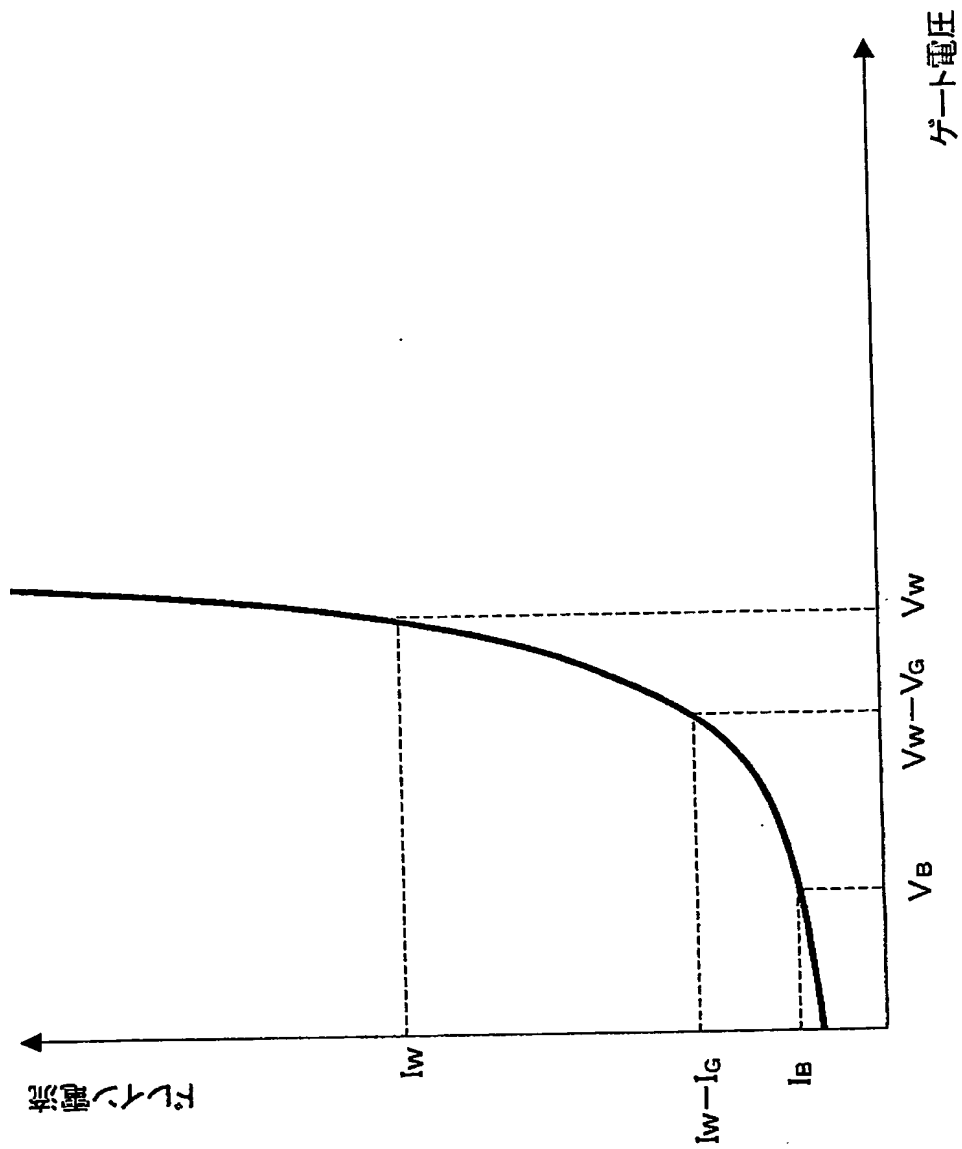
【図 7 3】



【図74】

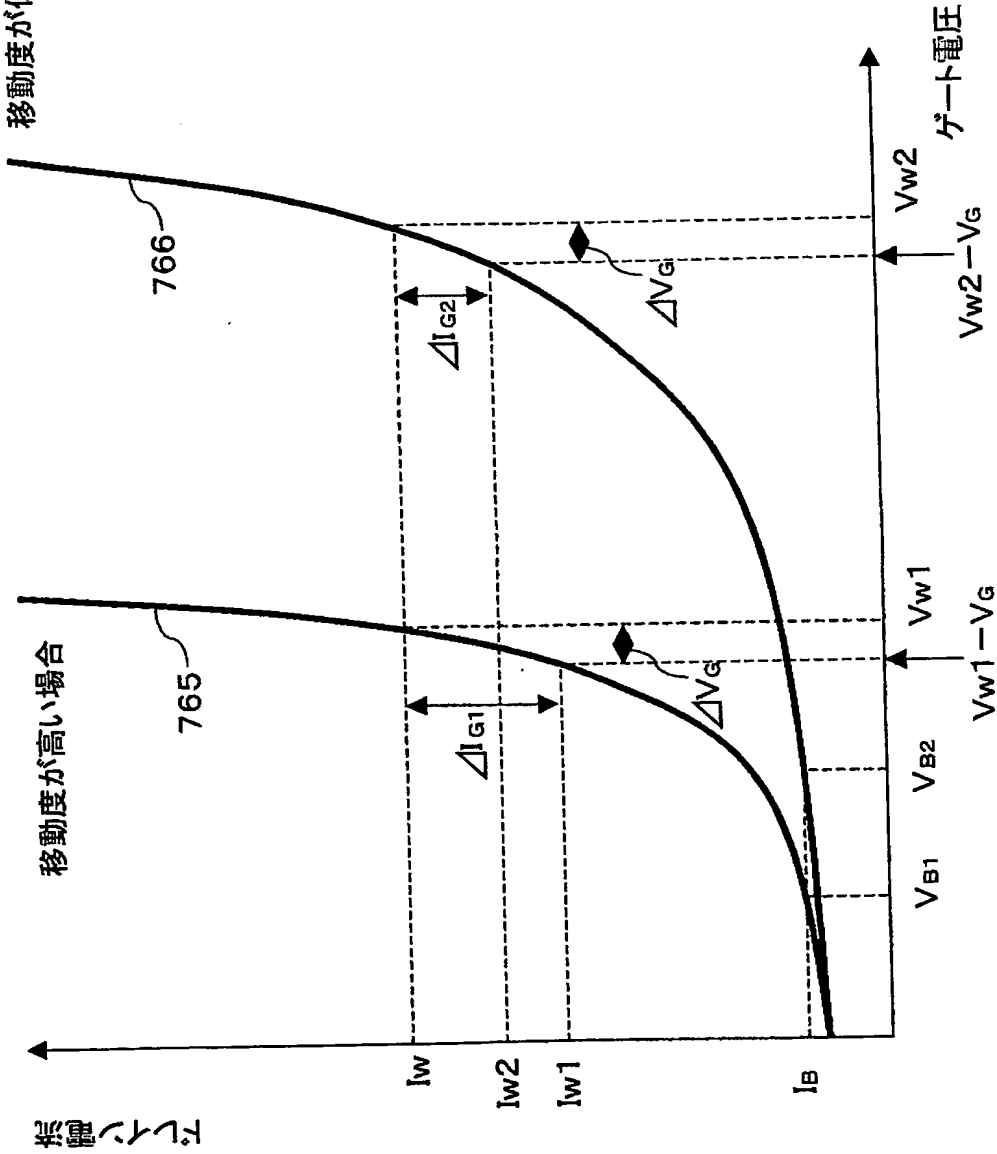


【図 75】



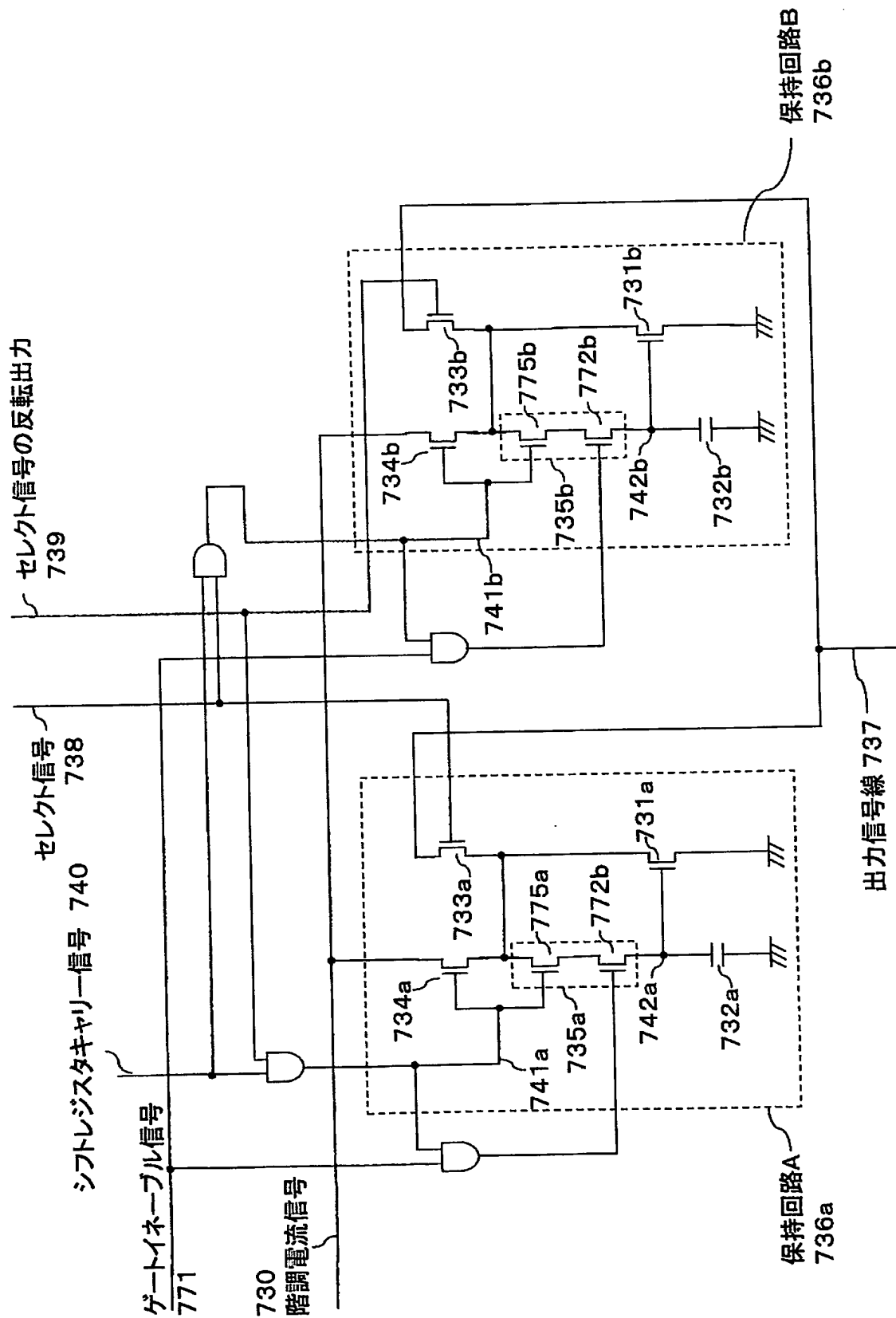
【図 76】

移動度が低い場合

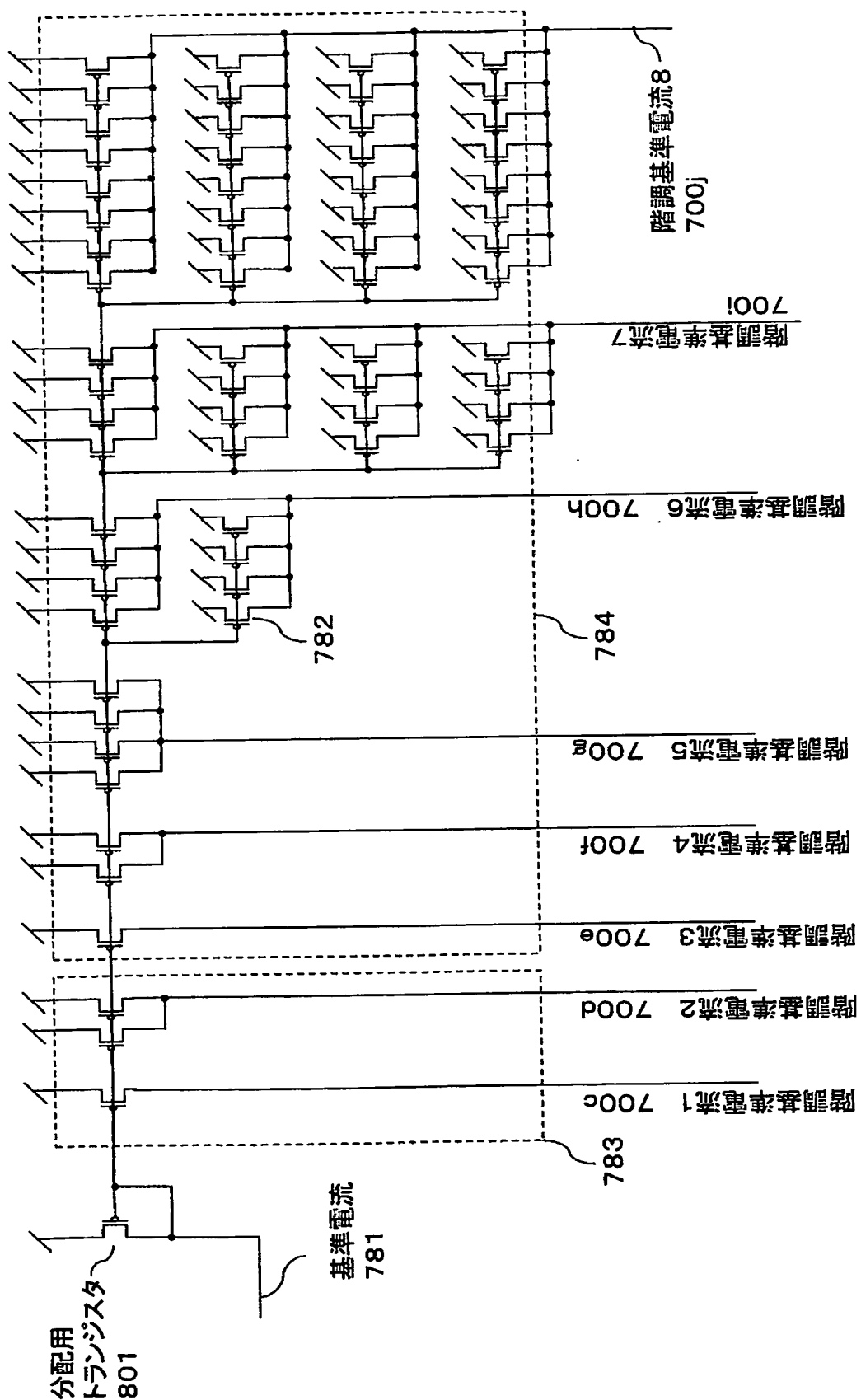


移動度が高い場合

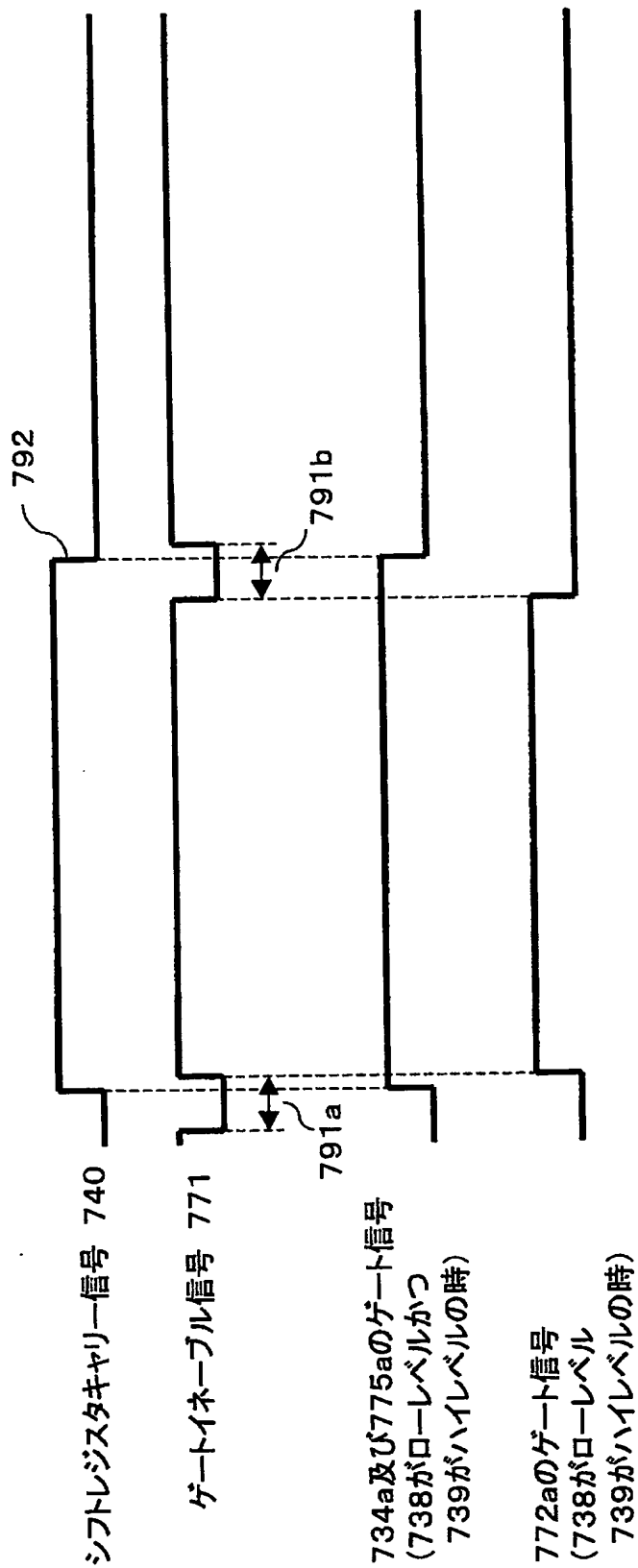
【図 77】



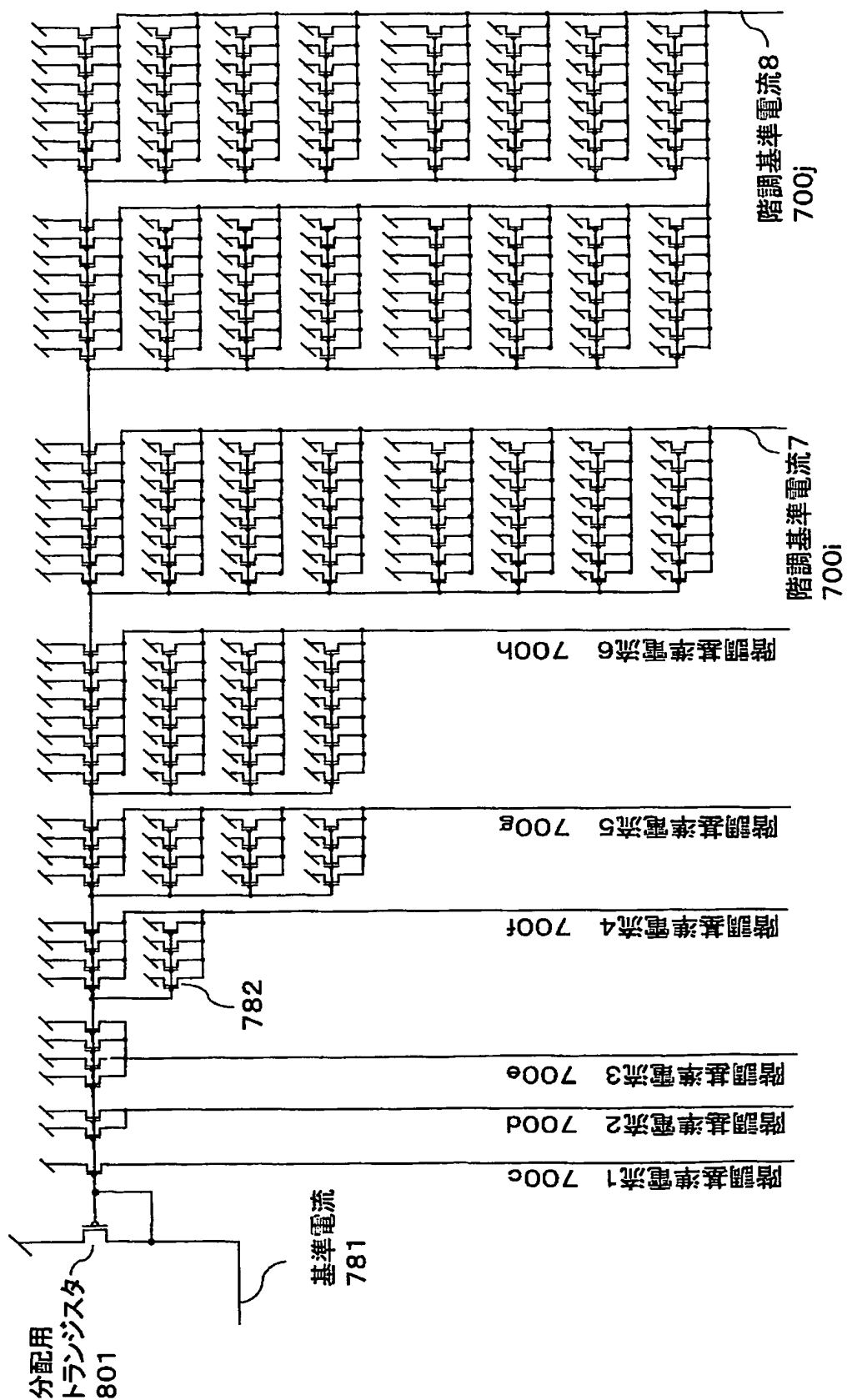
【図78】



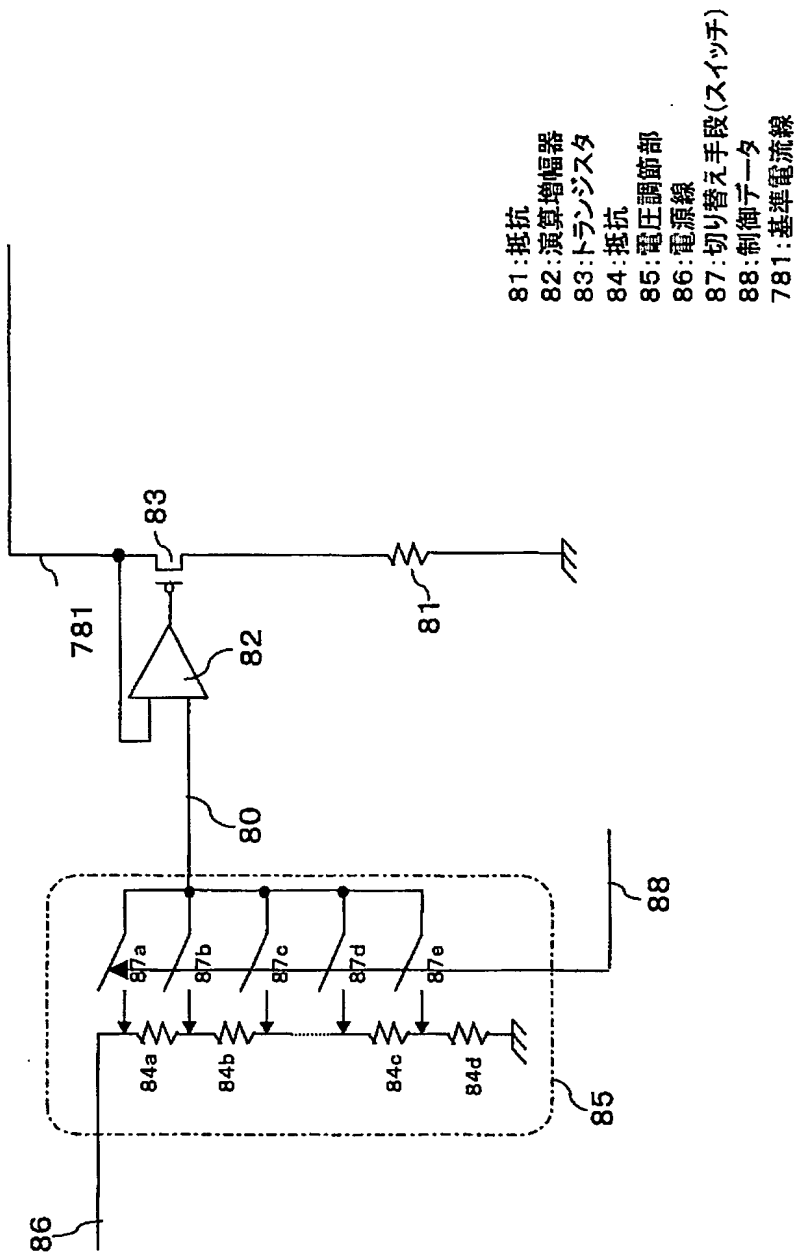
【図 79】



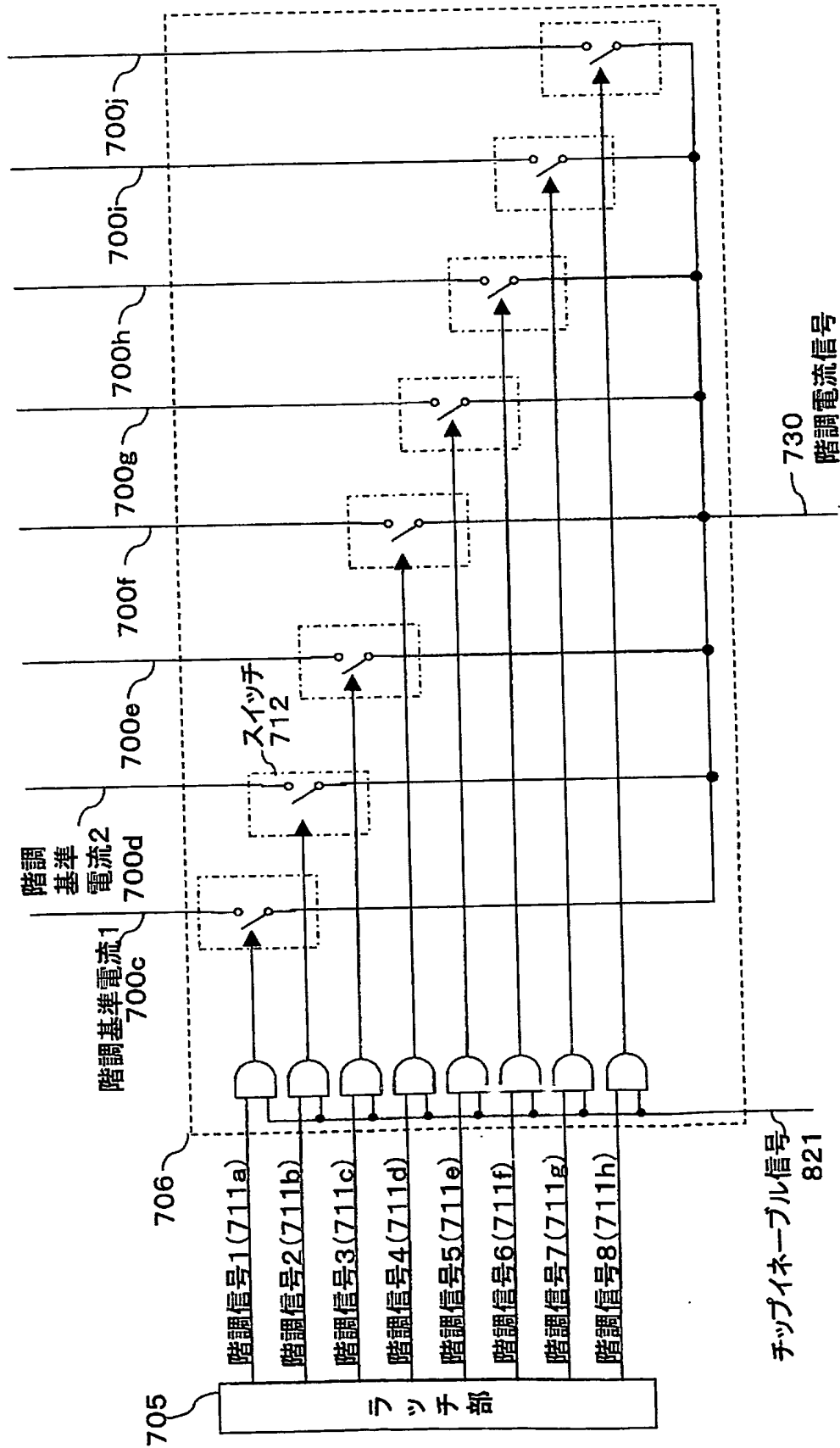
【図 80】



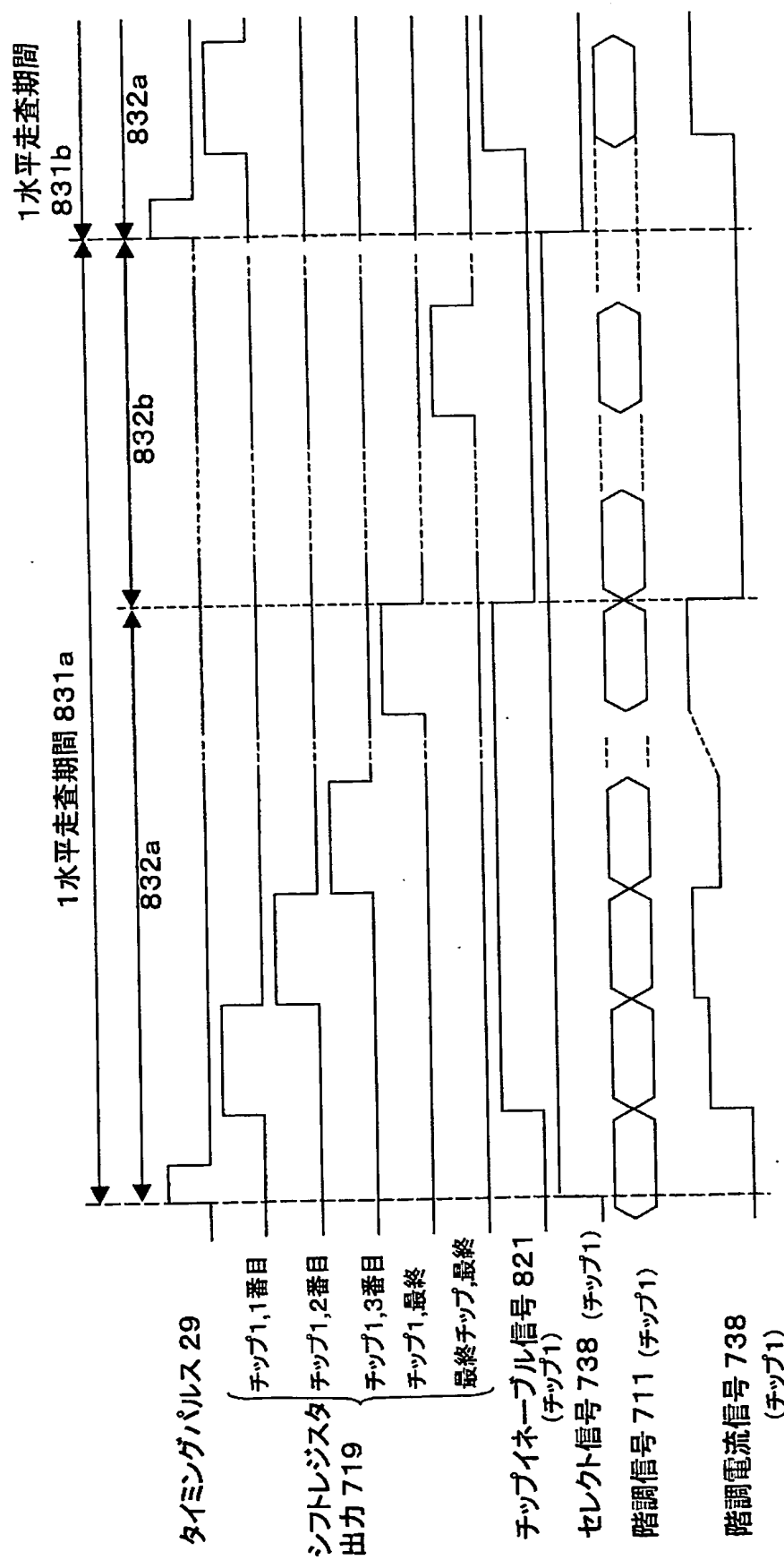
【図 81】



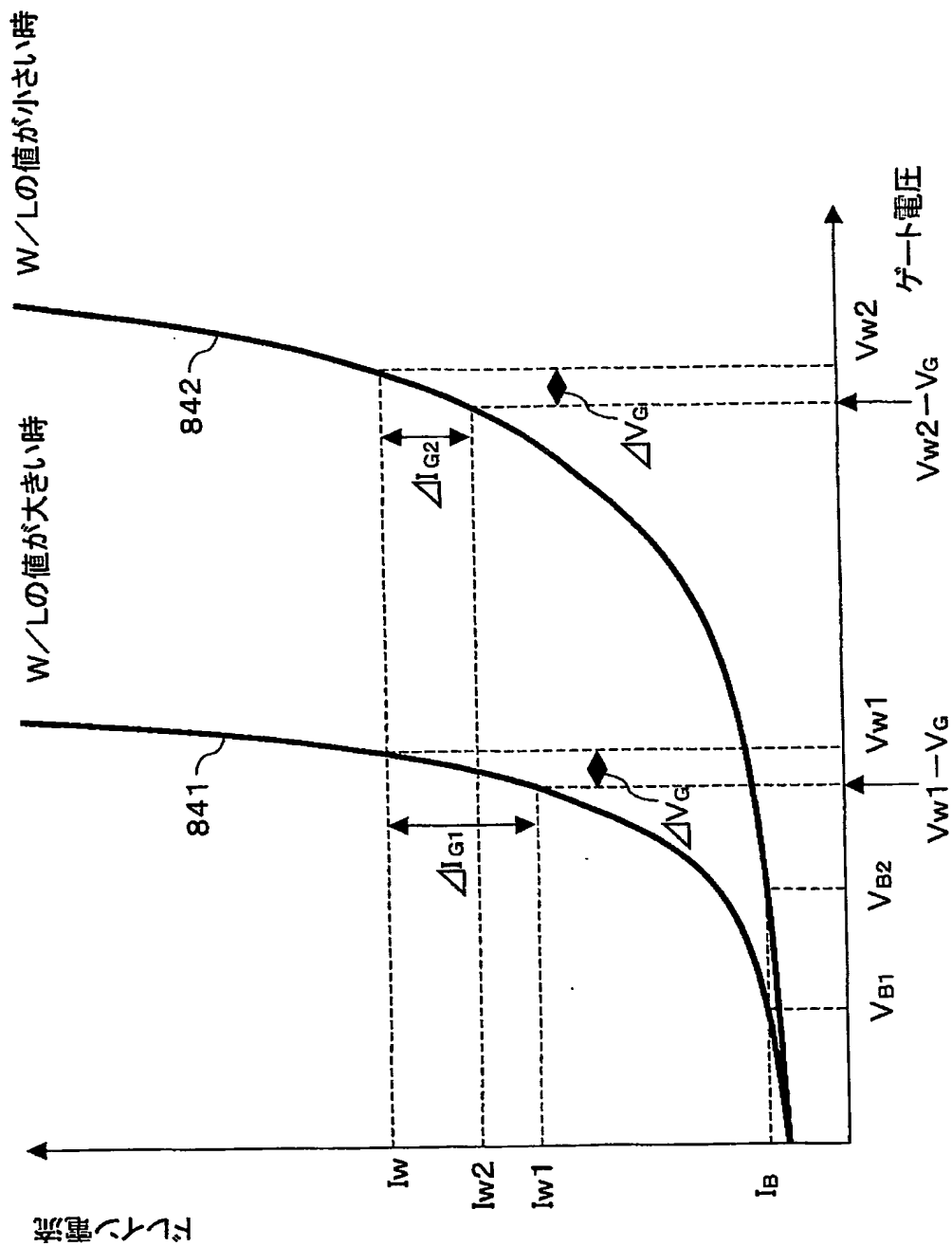
【図 82】



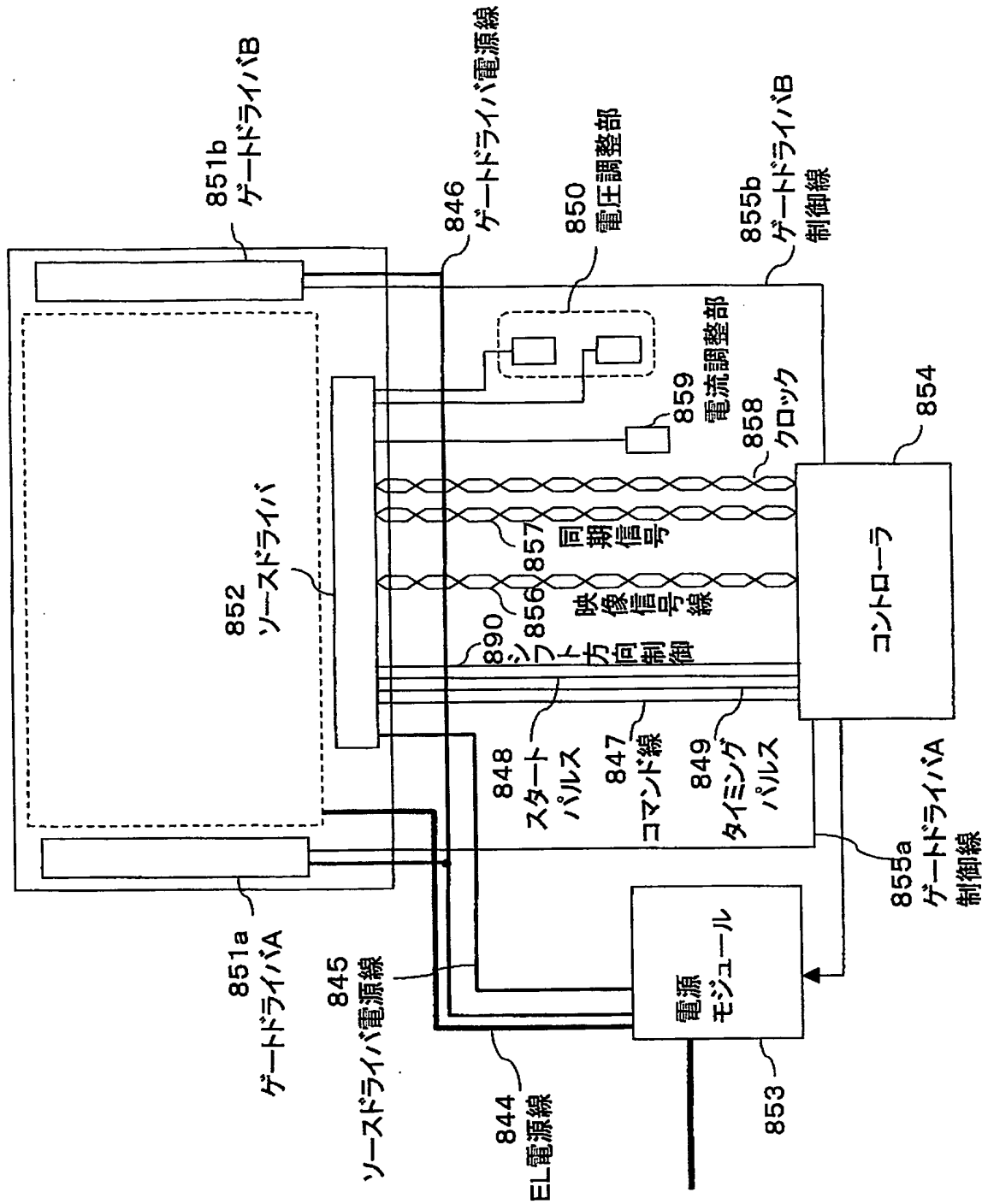
【図 83】



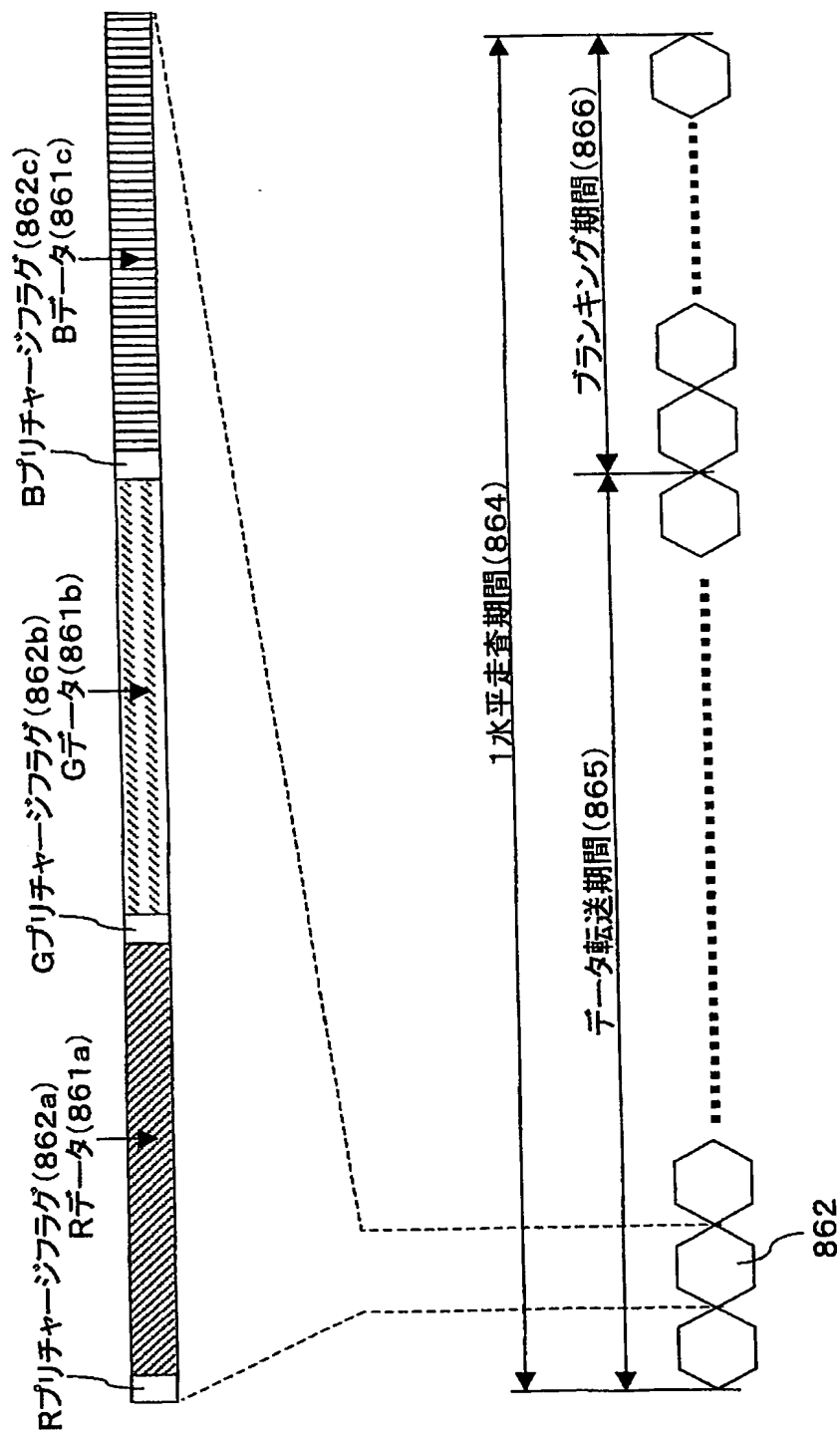
【図 84】



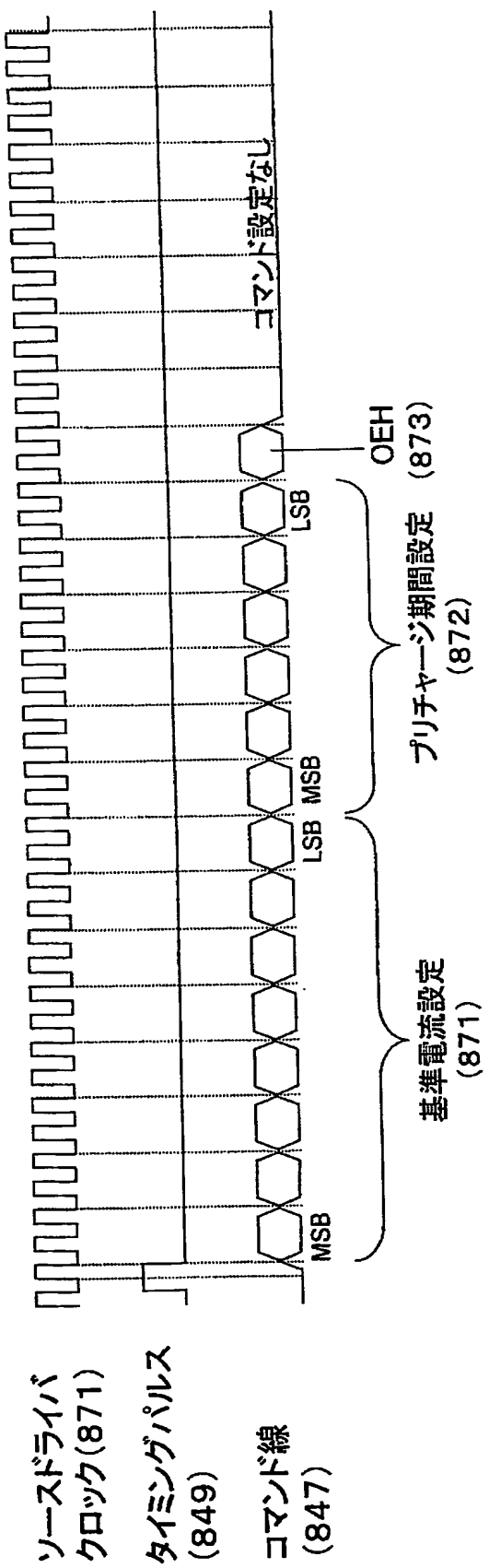
【図 85】



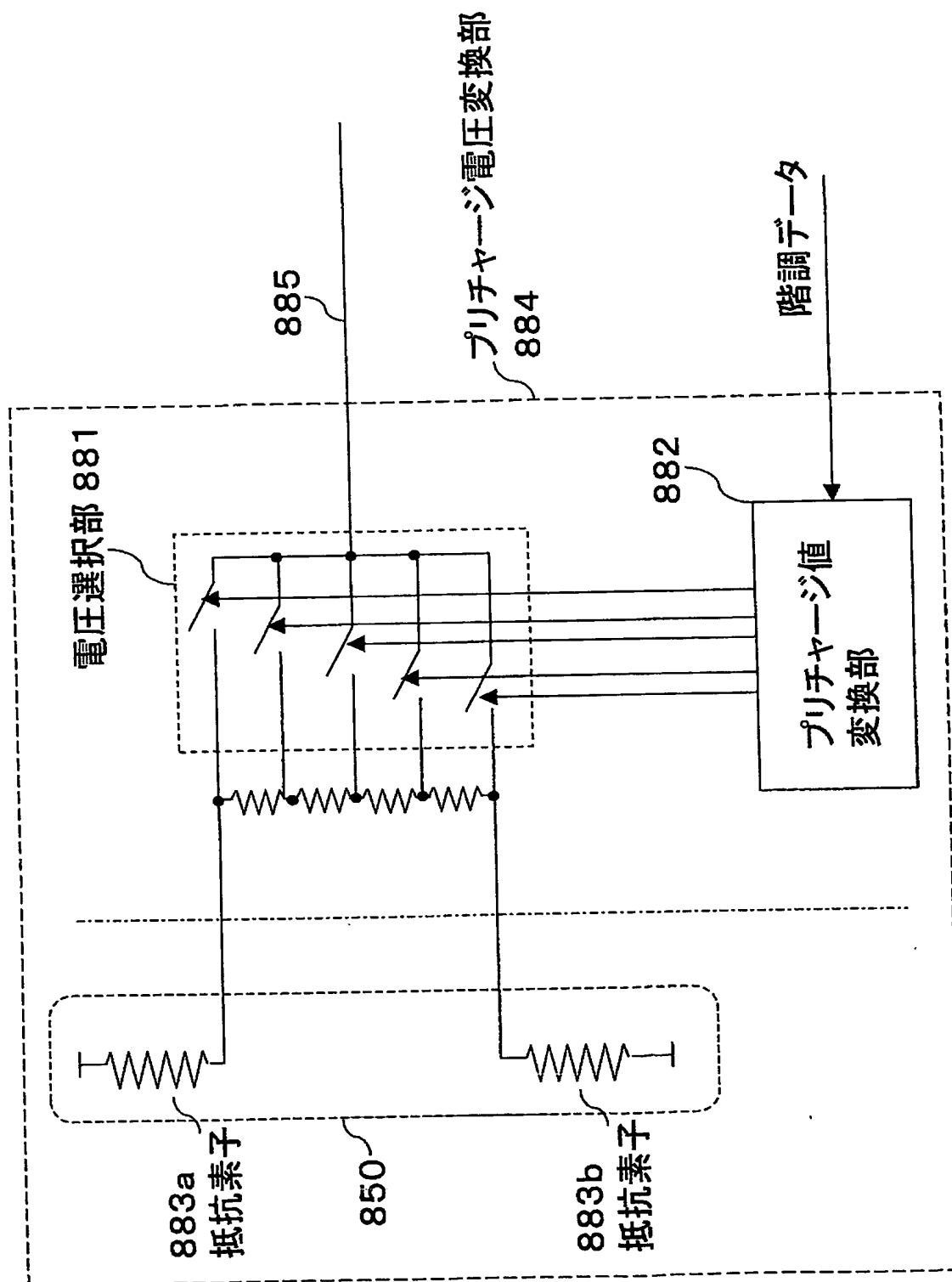
【図 86】



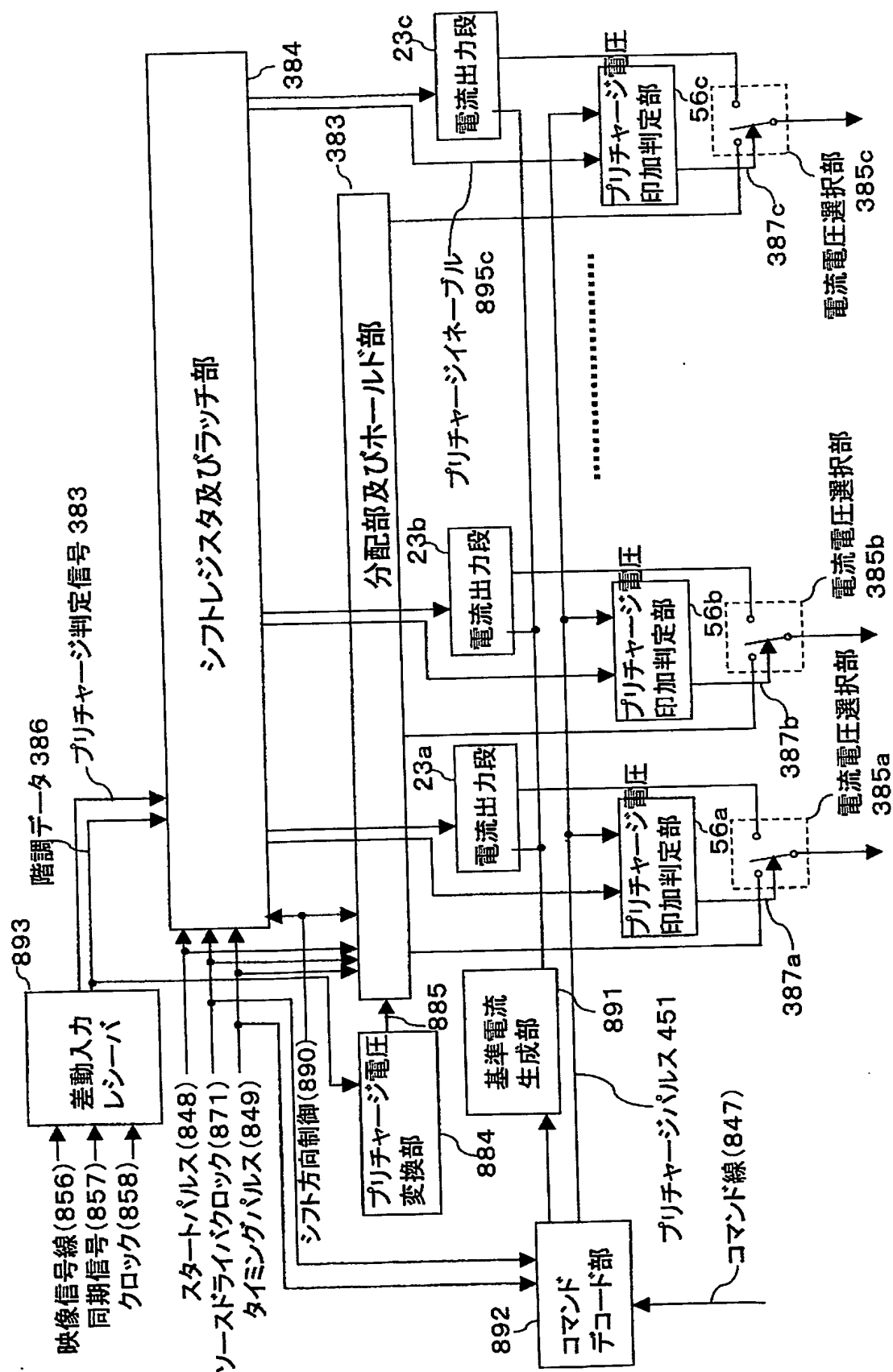
【図 87】



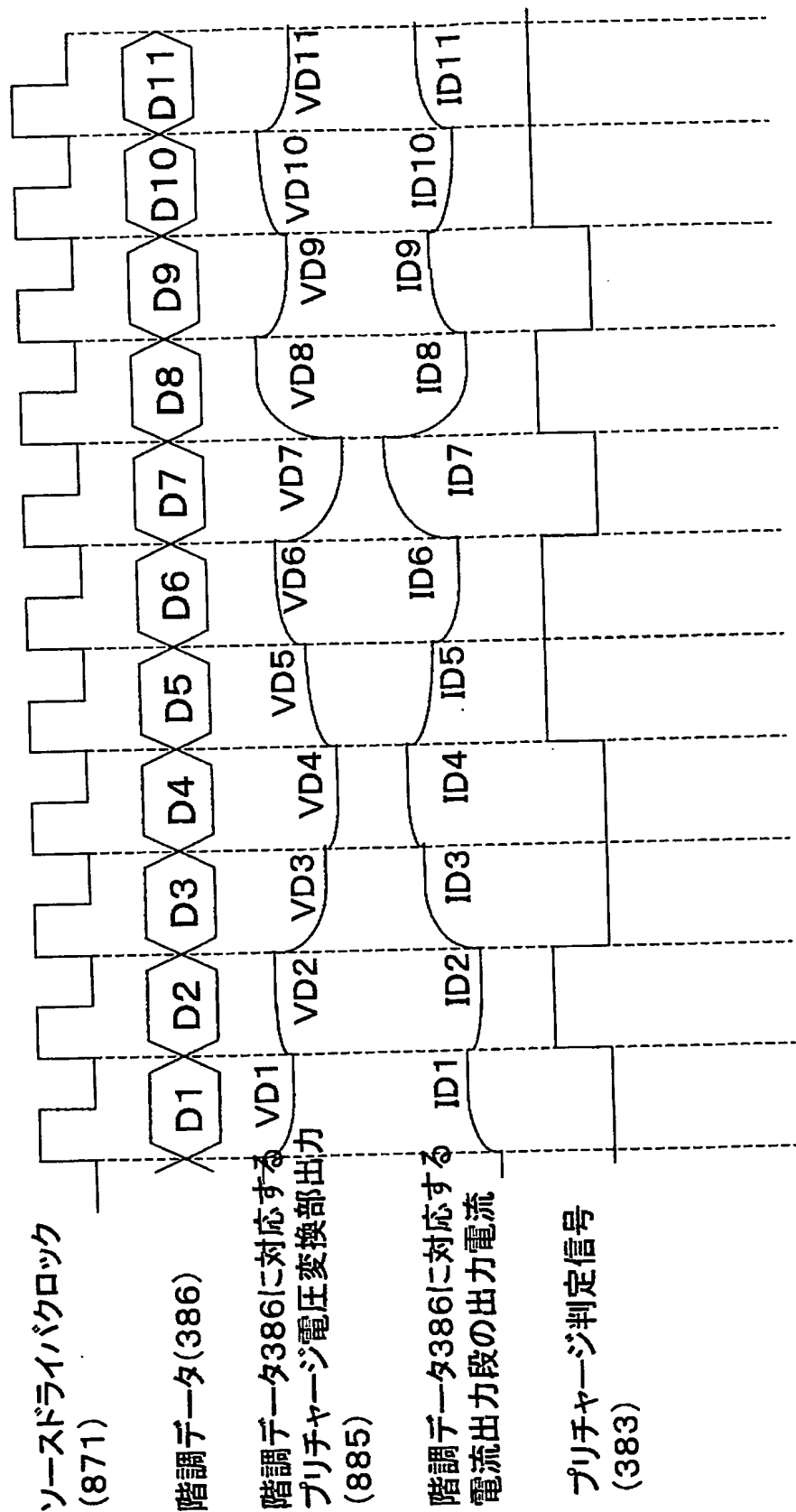
【図 88】



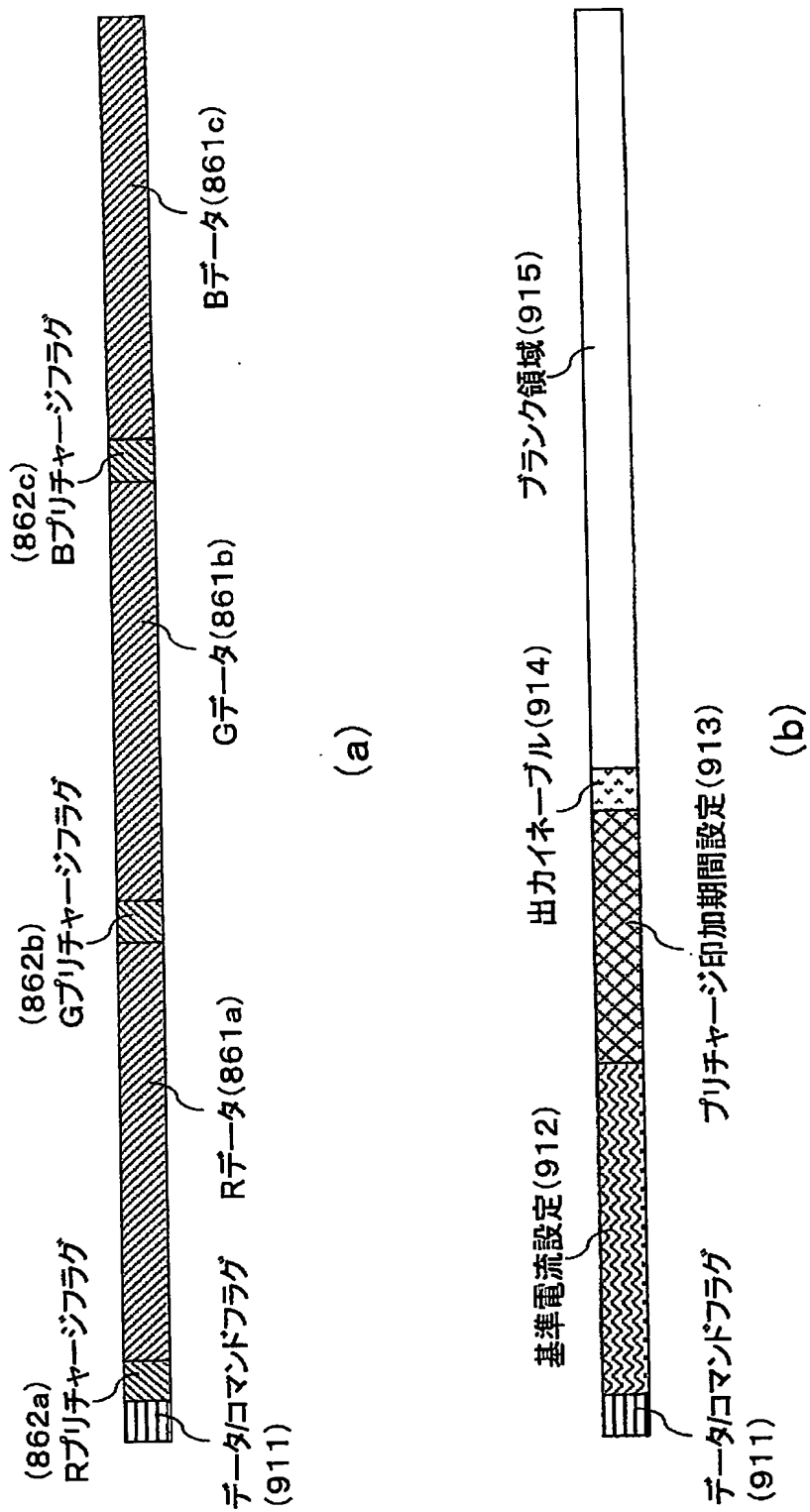
【図 89】



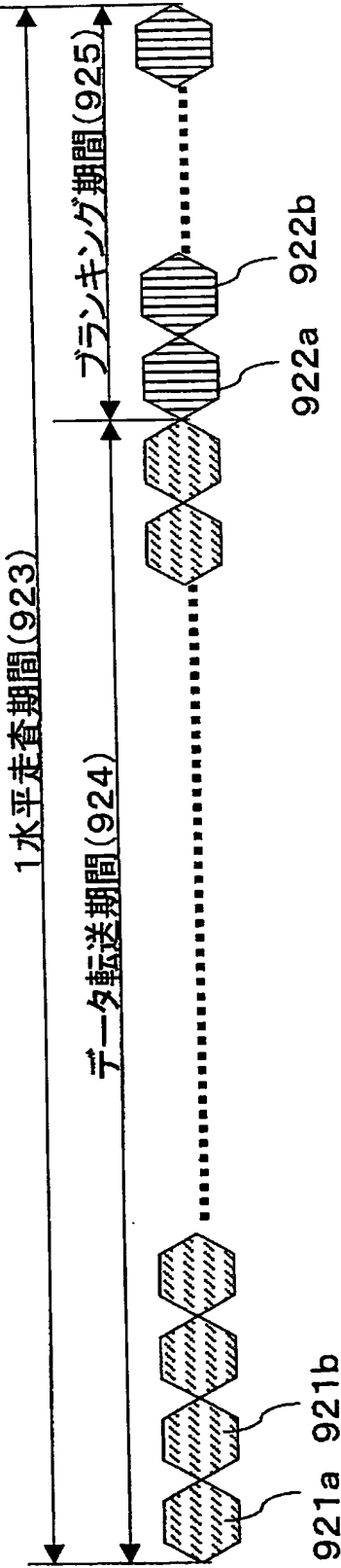
【図 90】



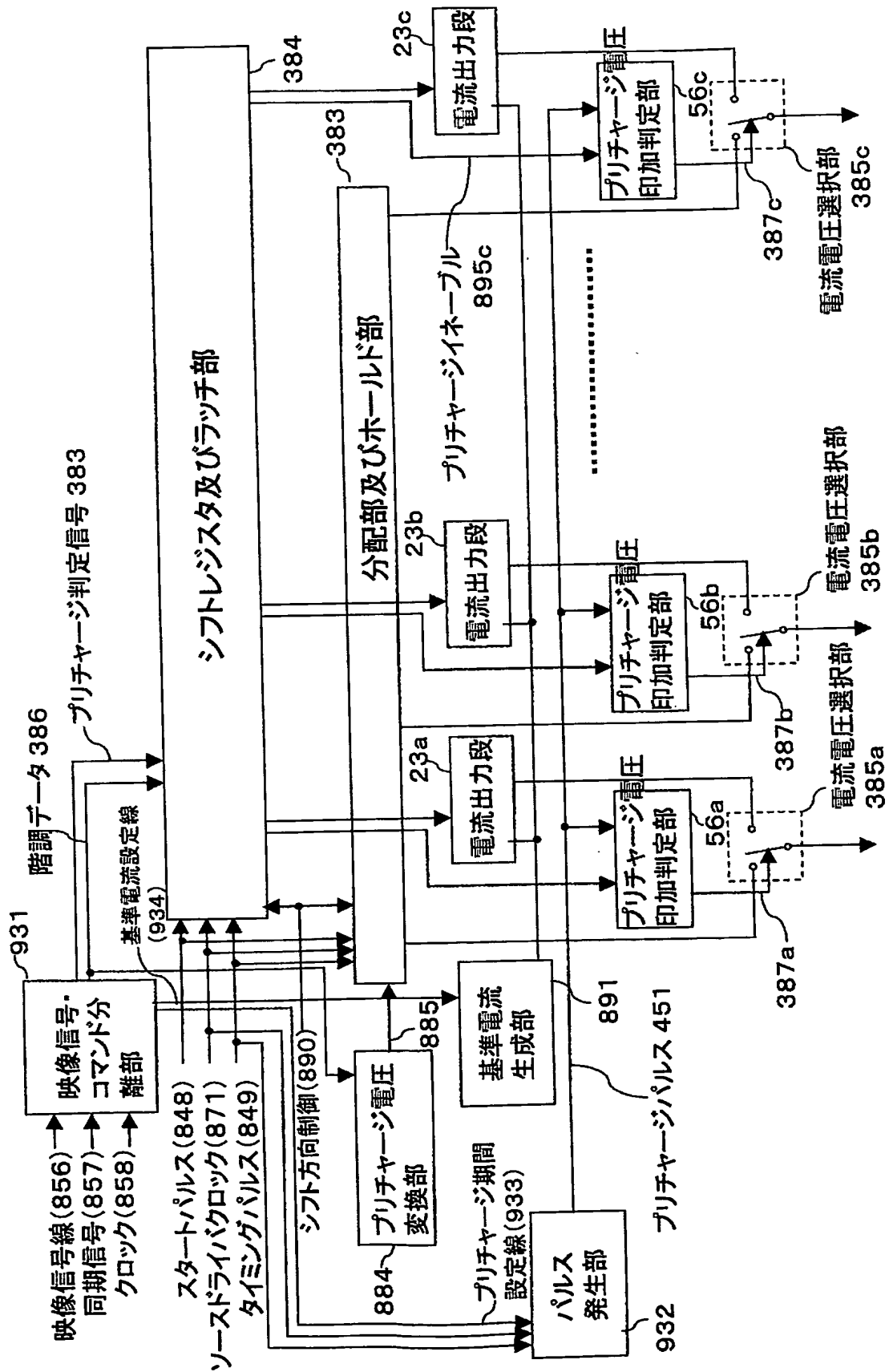
【図 91】



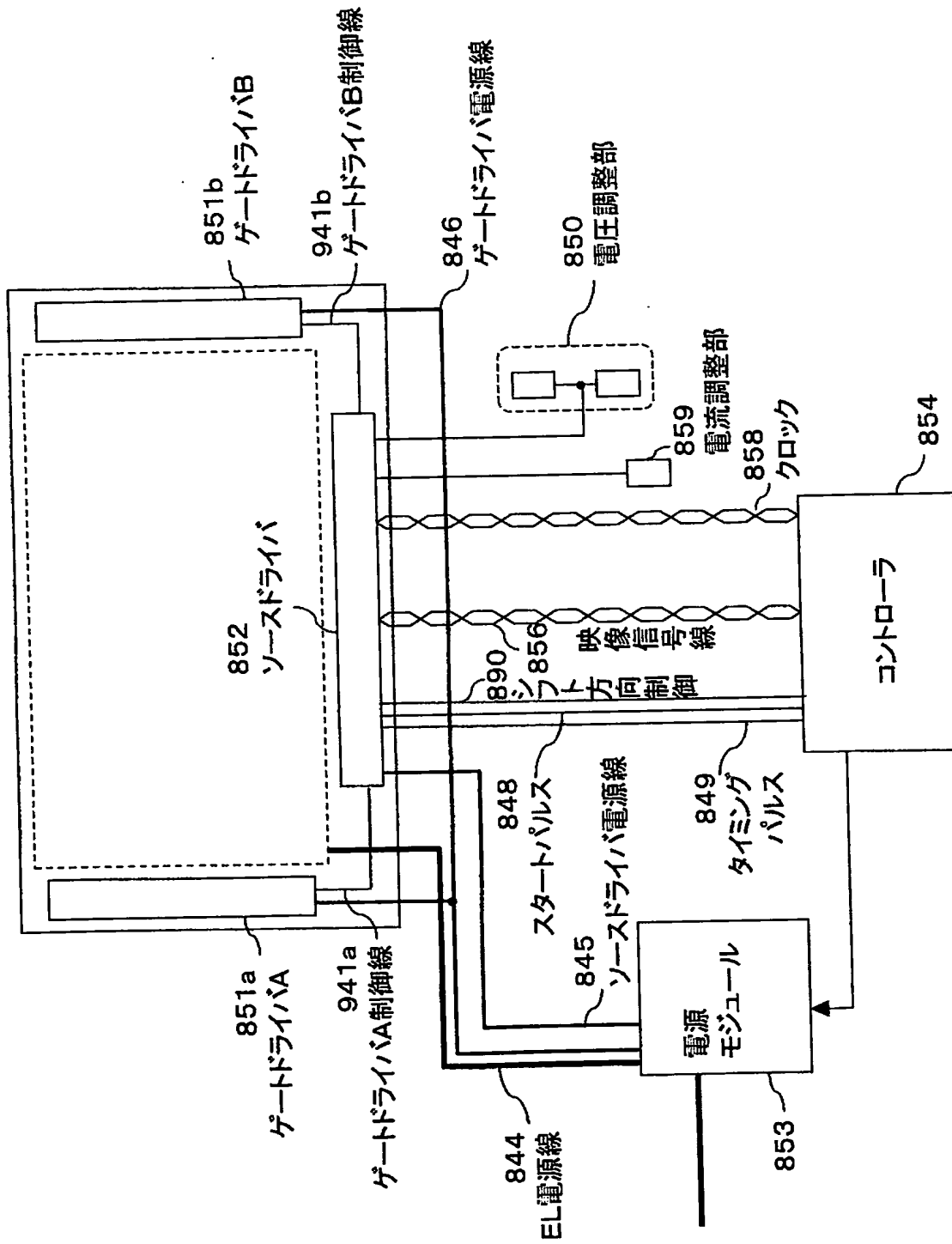
【図 92】



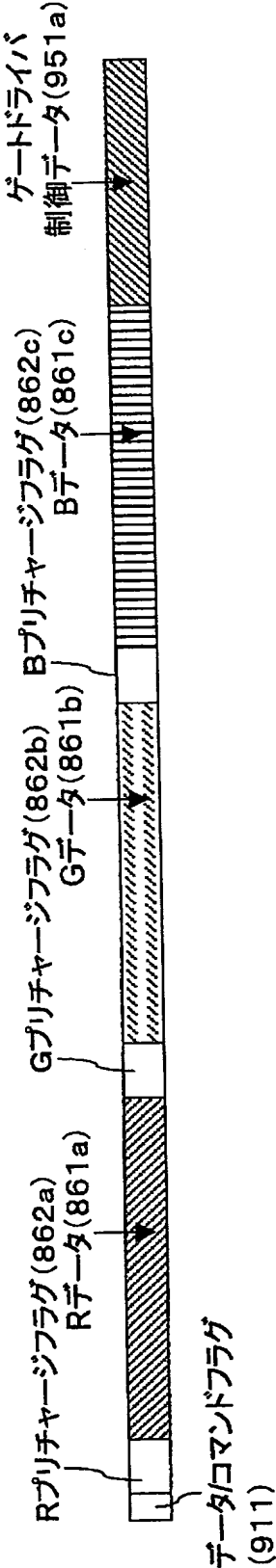
【図93】



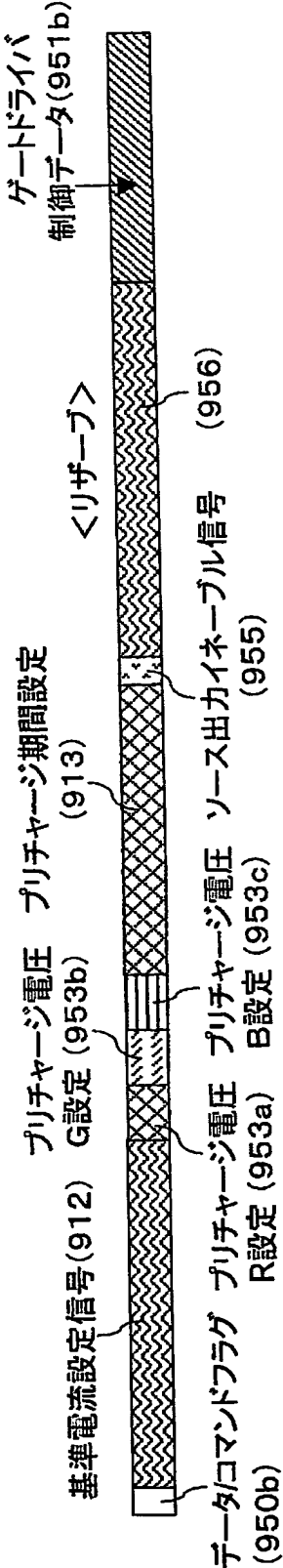
【図 94】



【図 95】

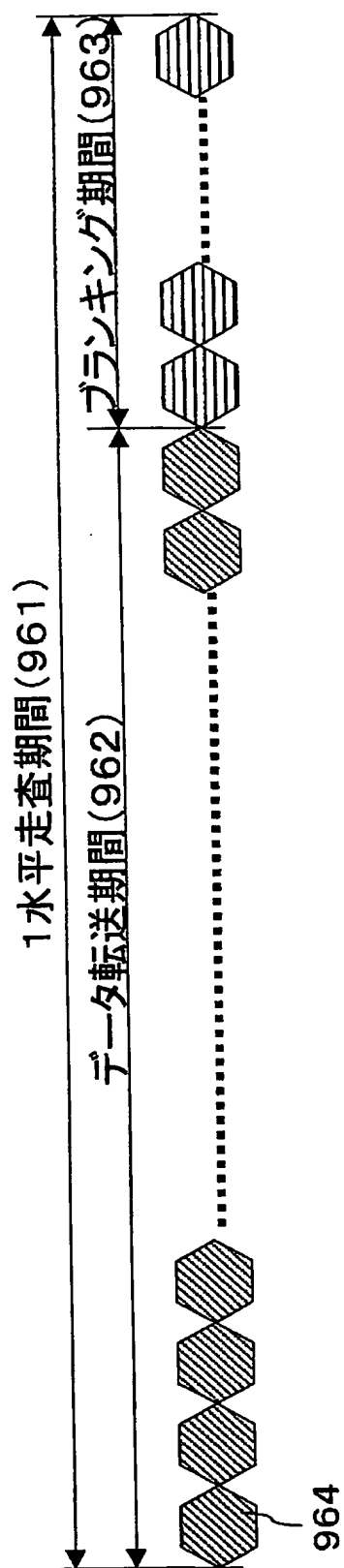


(a)

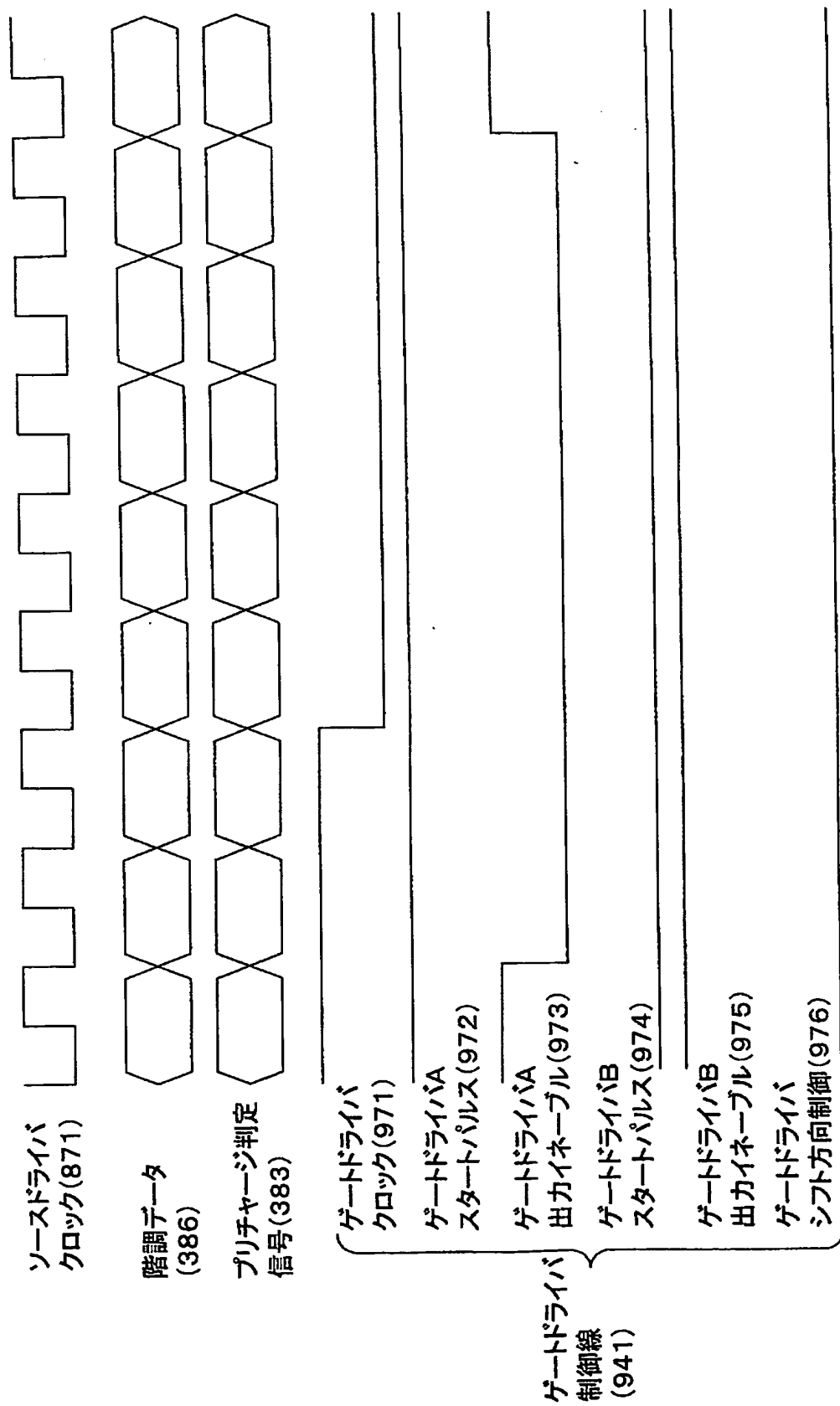


(b)

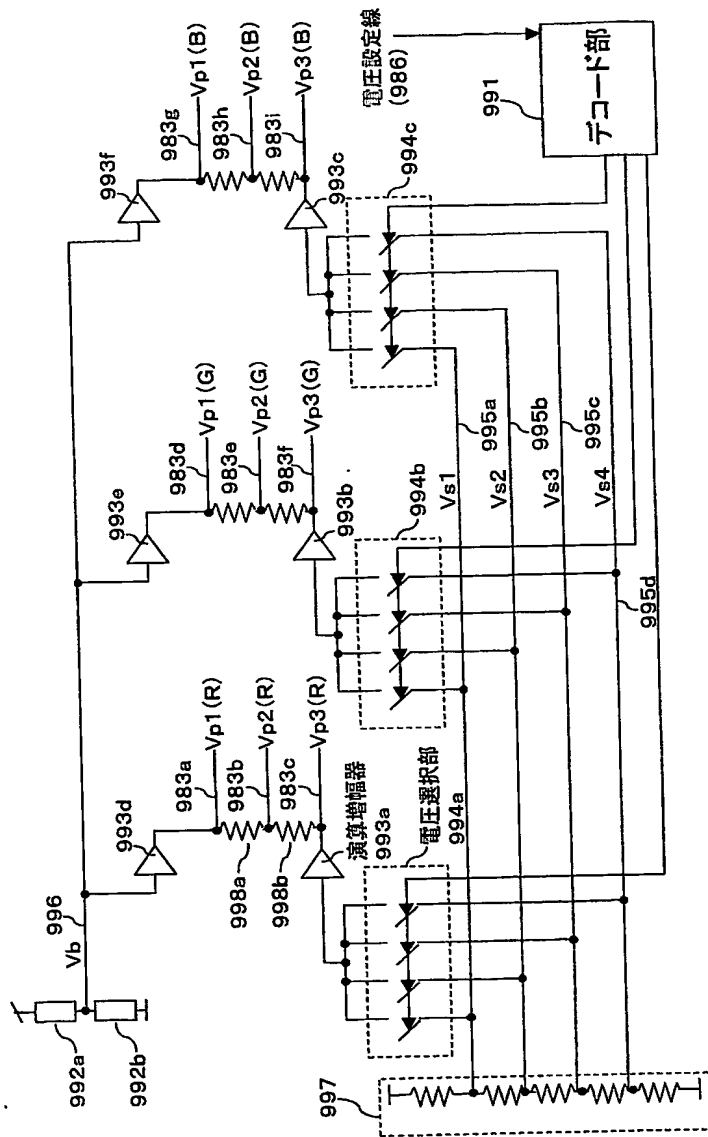
【図 96】



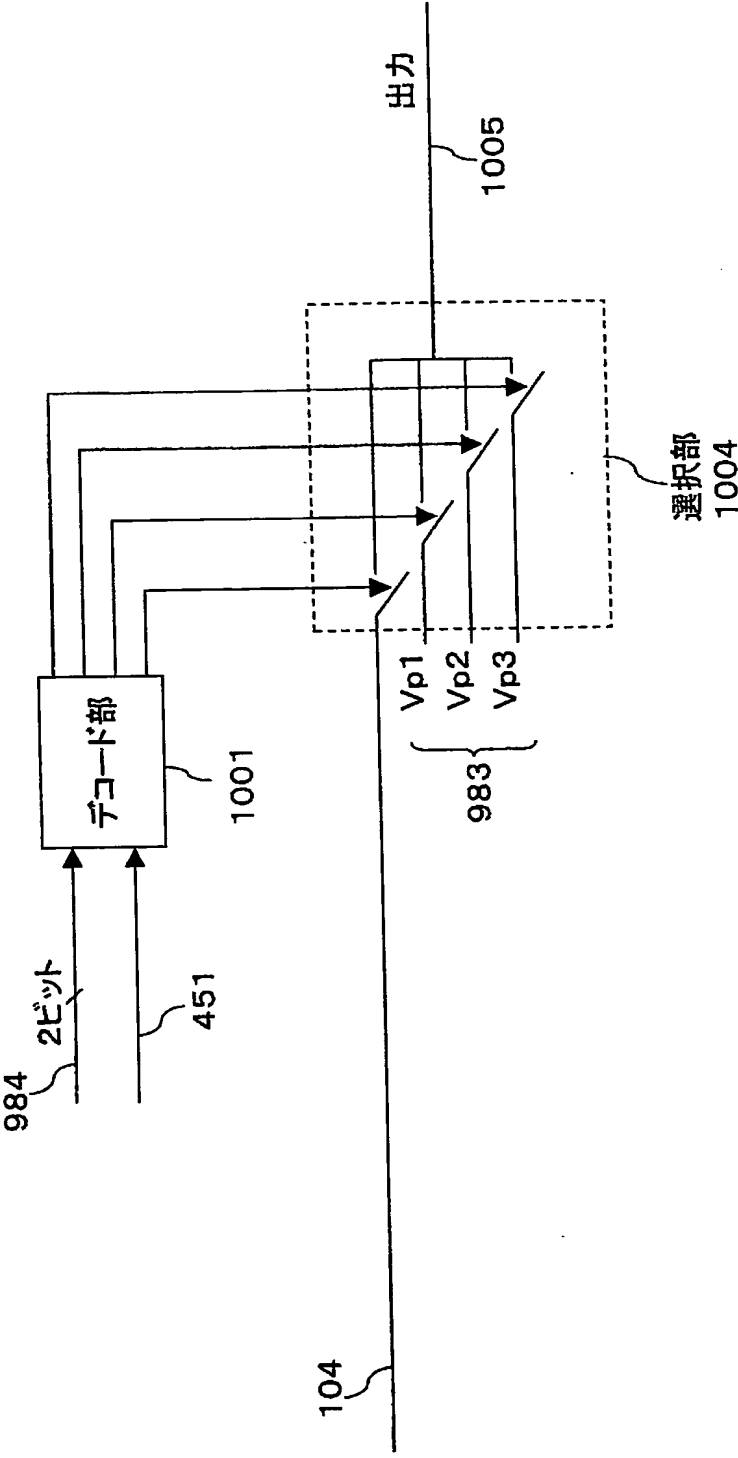
【図 97】



【図 99】



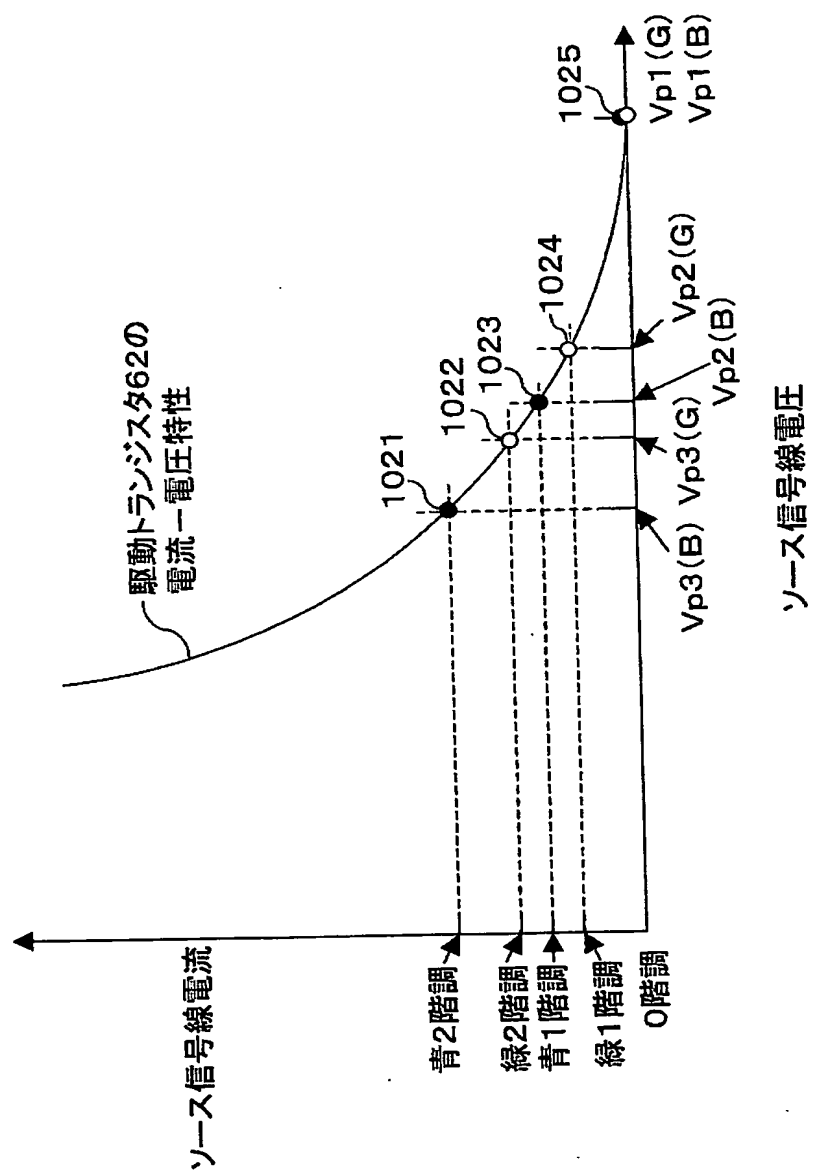
【図 100】



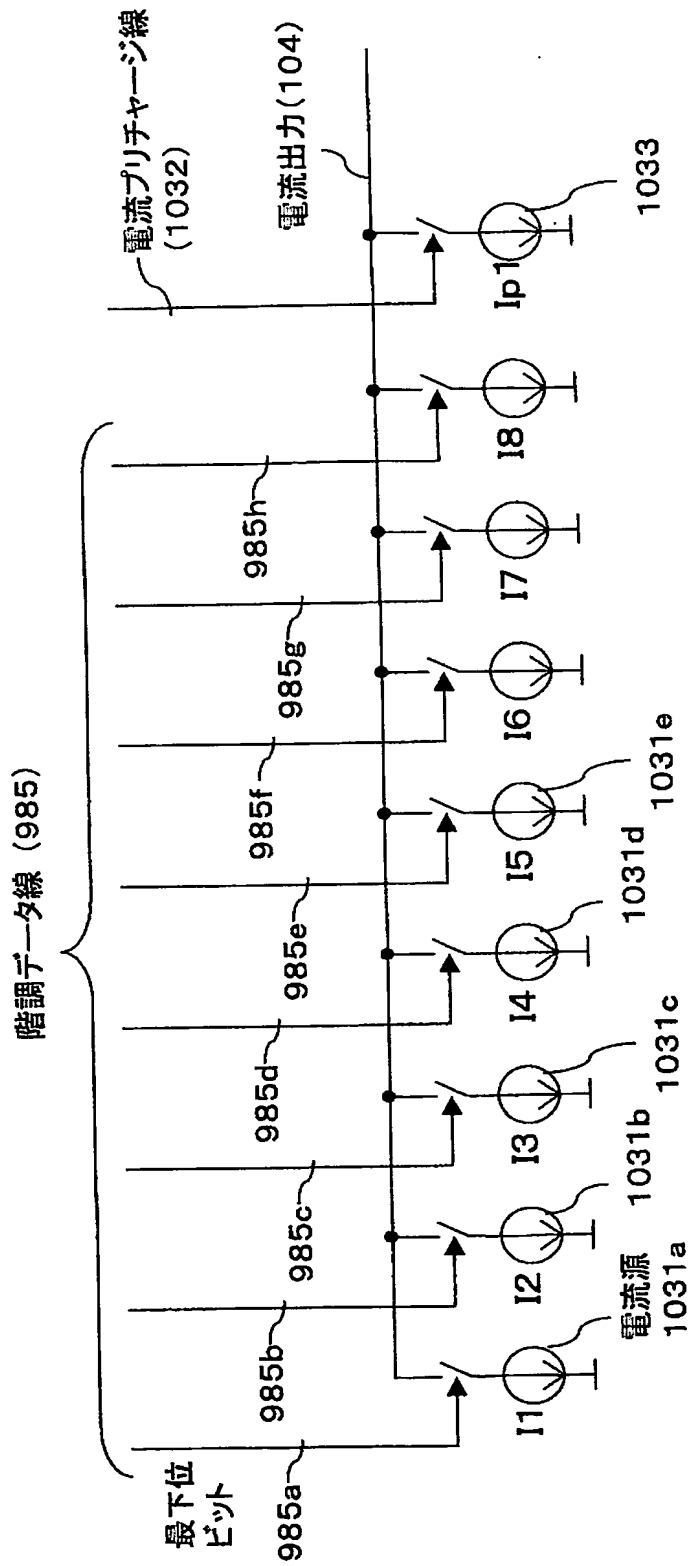
【図 101】

プリチャージパルス (451)	プリチャージ判定線 (984)	出力 (1005)
0	0	階調電流(104)
1	0	階調電流(104)
0	1	階調電流(104)
1	1	Vp1
0	2	階調電流(104)
1	2	Vp2
0	3	階調電流(104)
1	3	Vp3

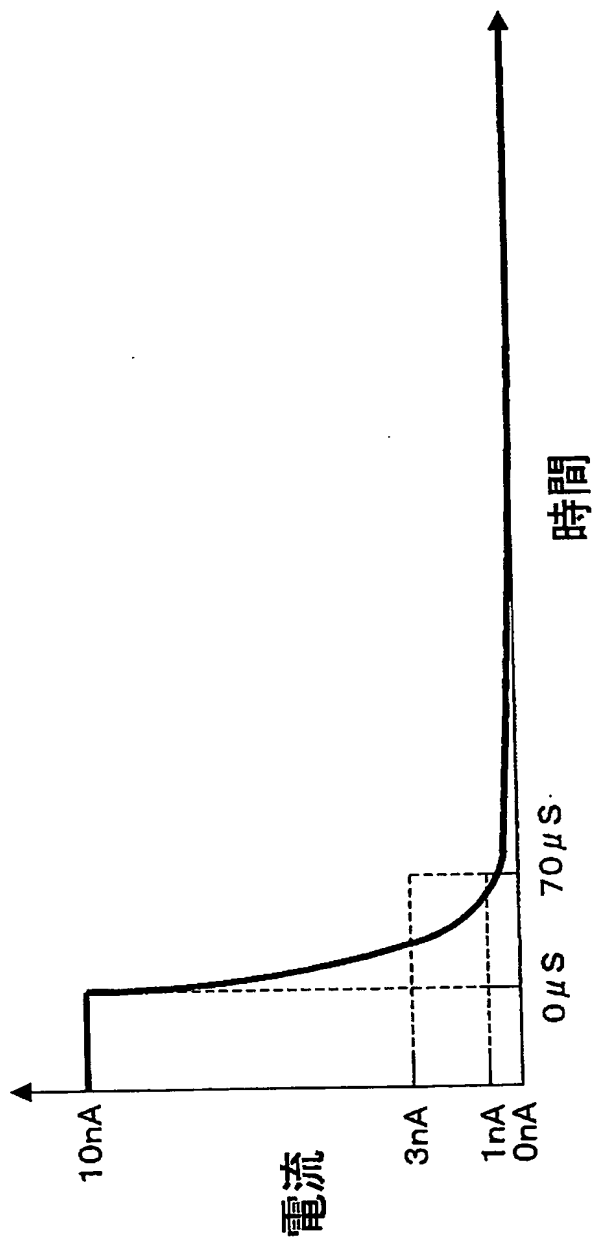
【図102】



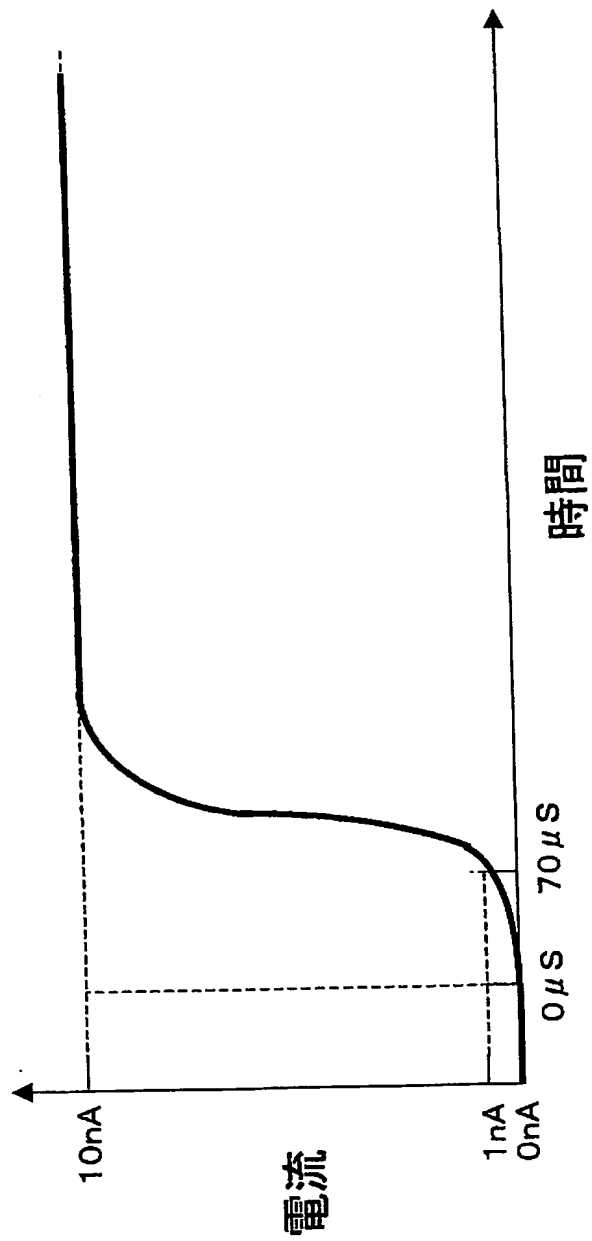
【図 103】



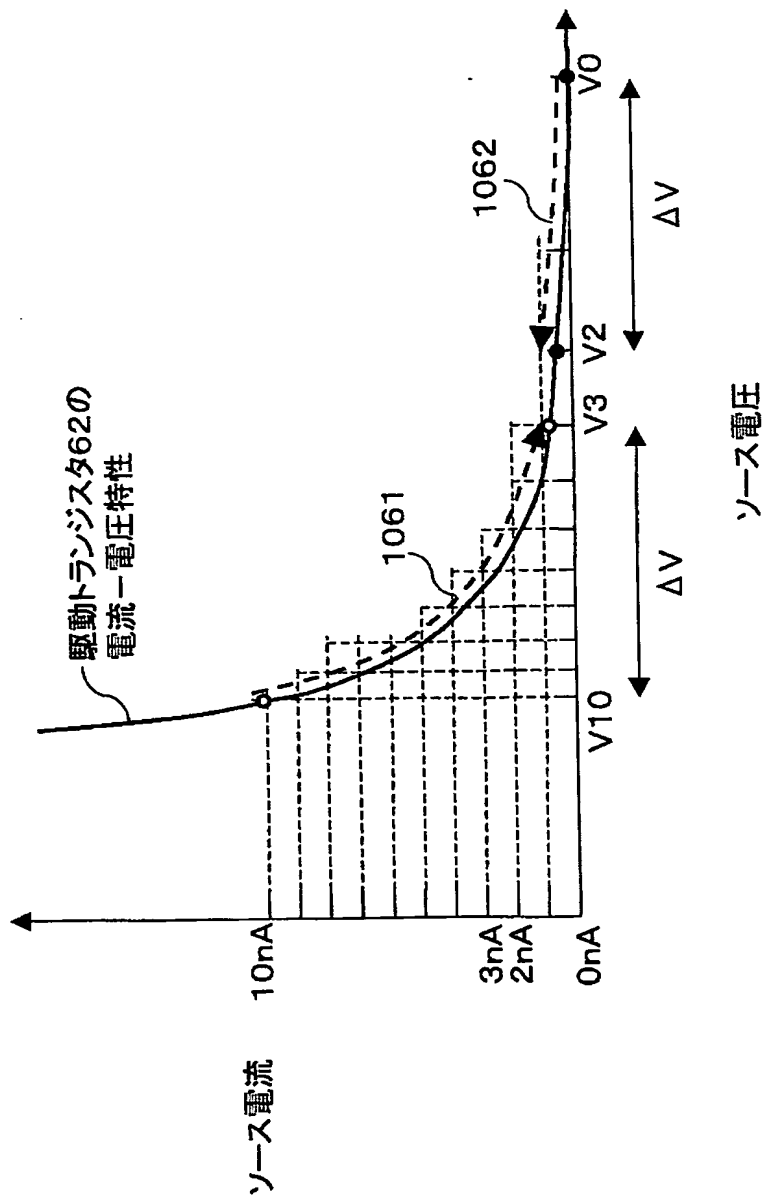
【図 104】



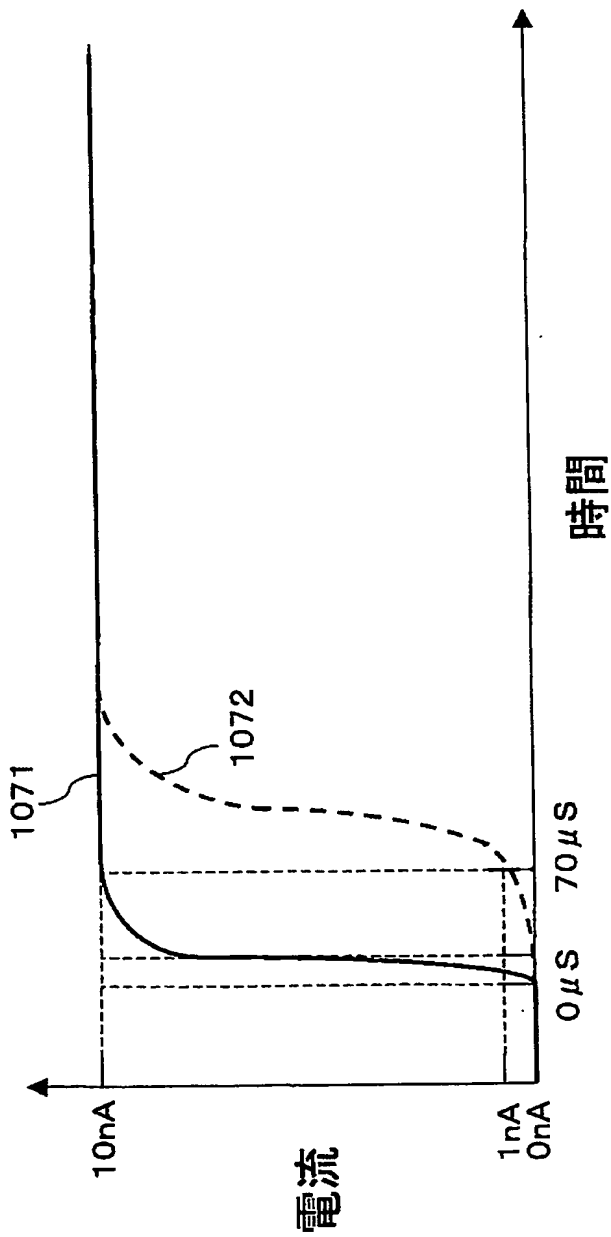
【図 105】



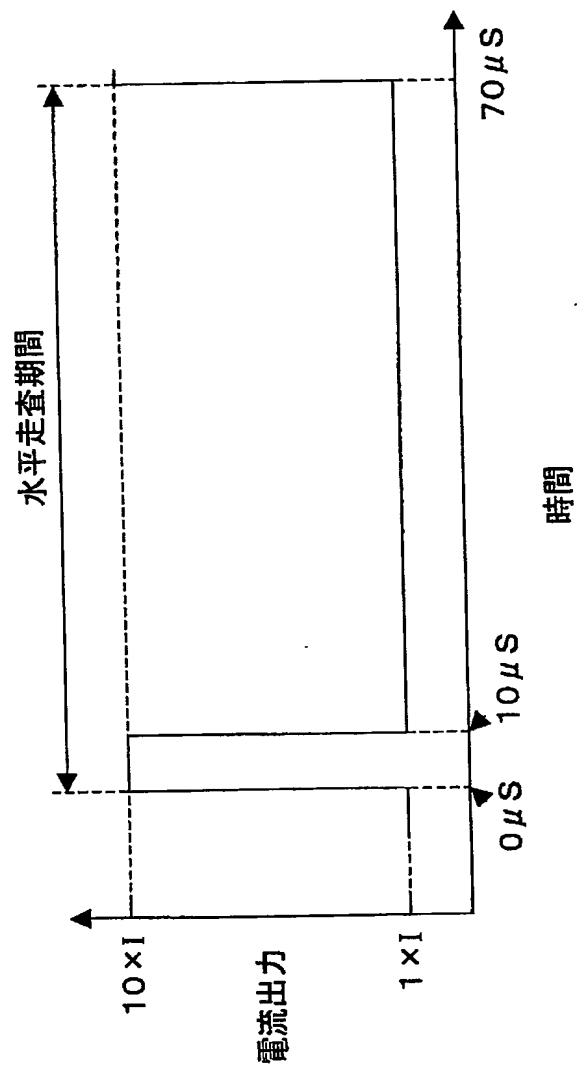
【図 106】



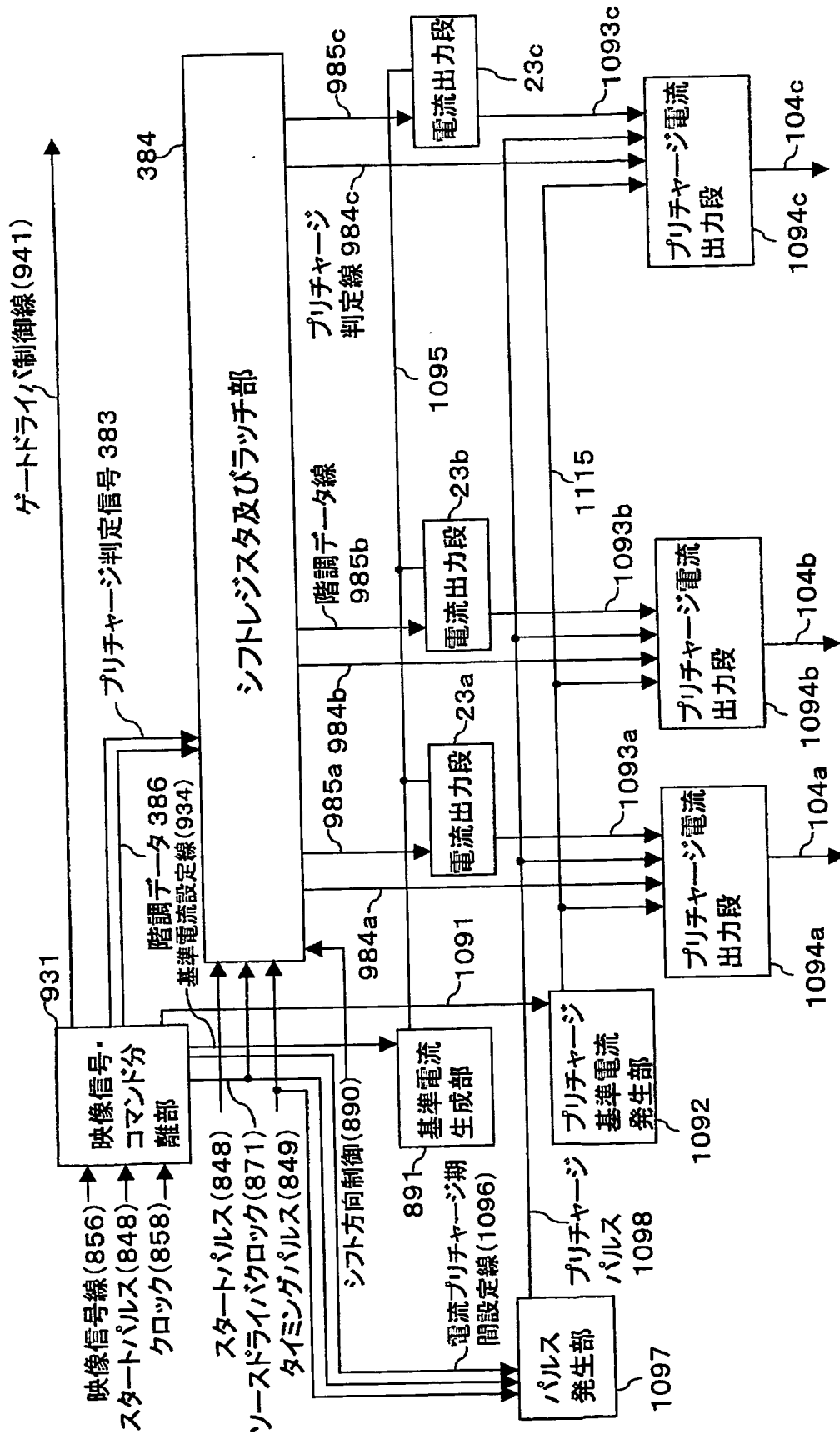
【図107】



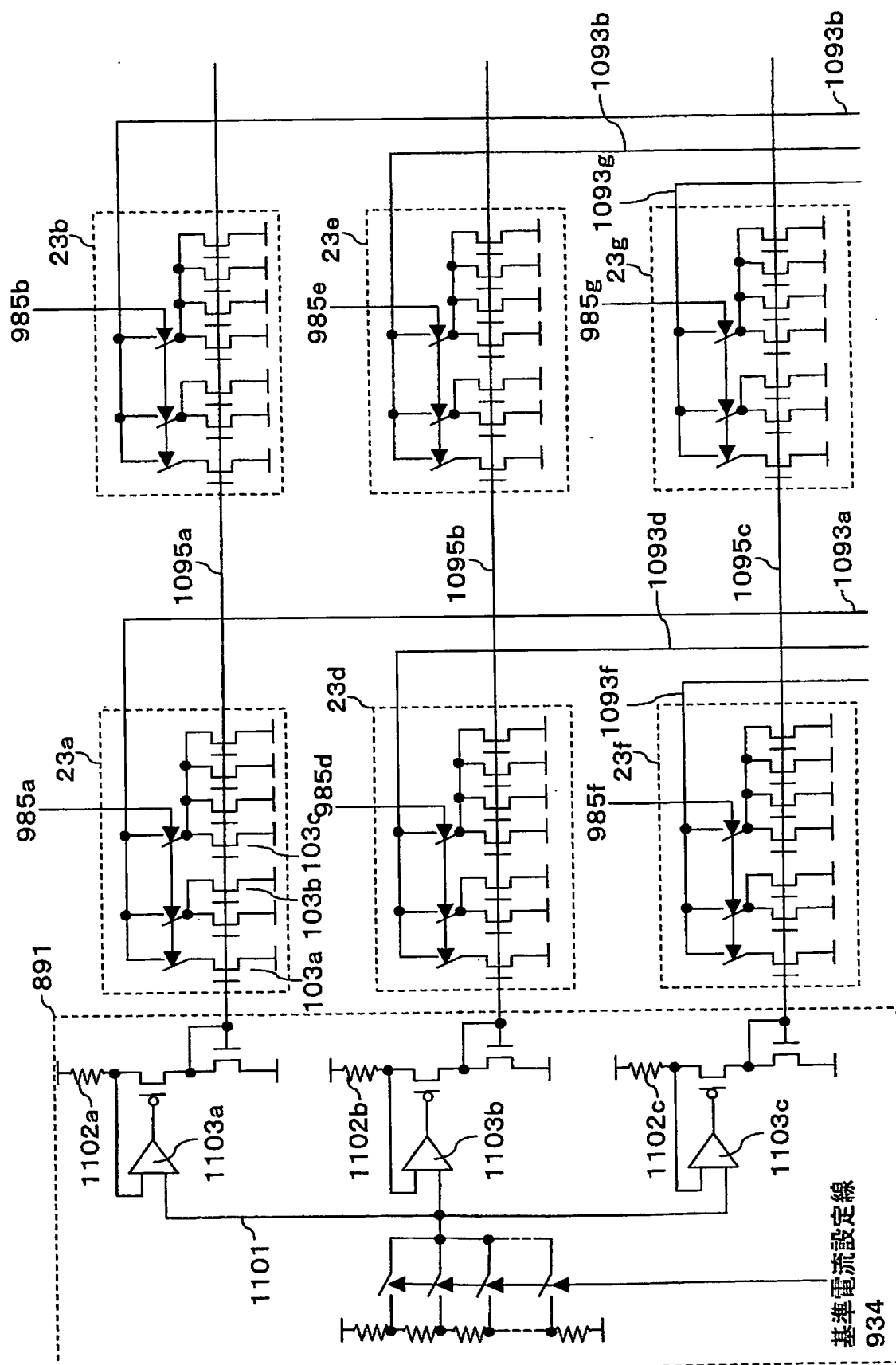
【図 1 0 8】



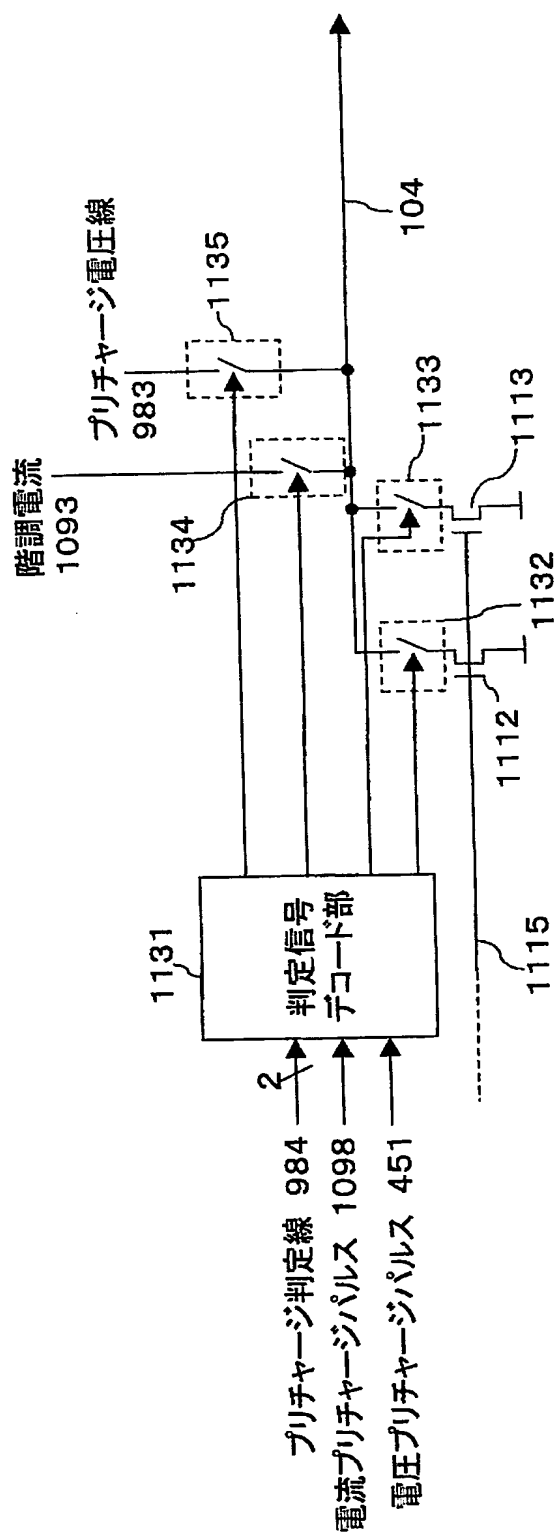
【図109】



【図 1 1 0】



【図 113】

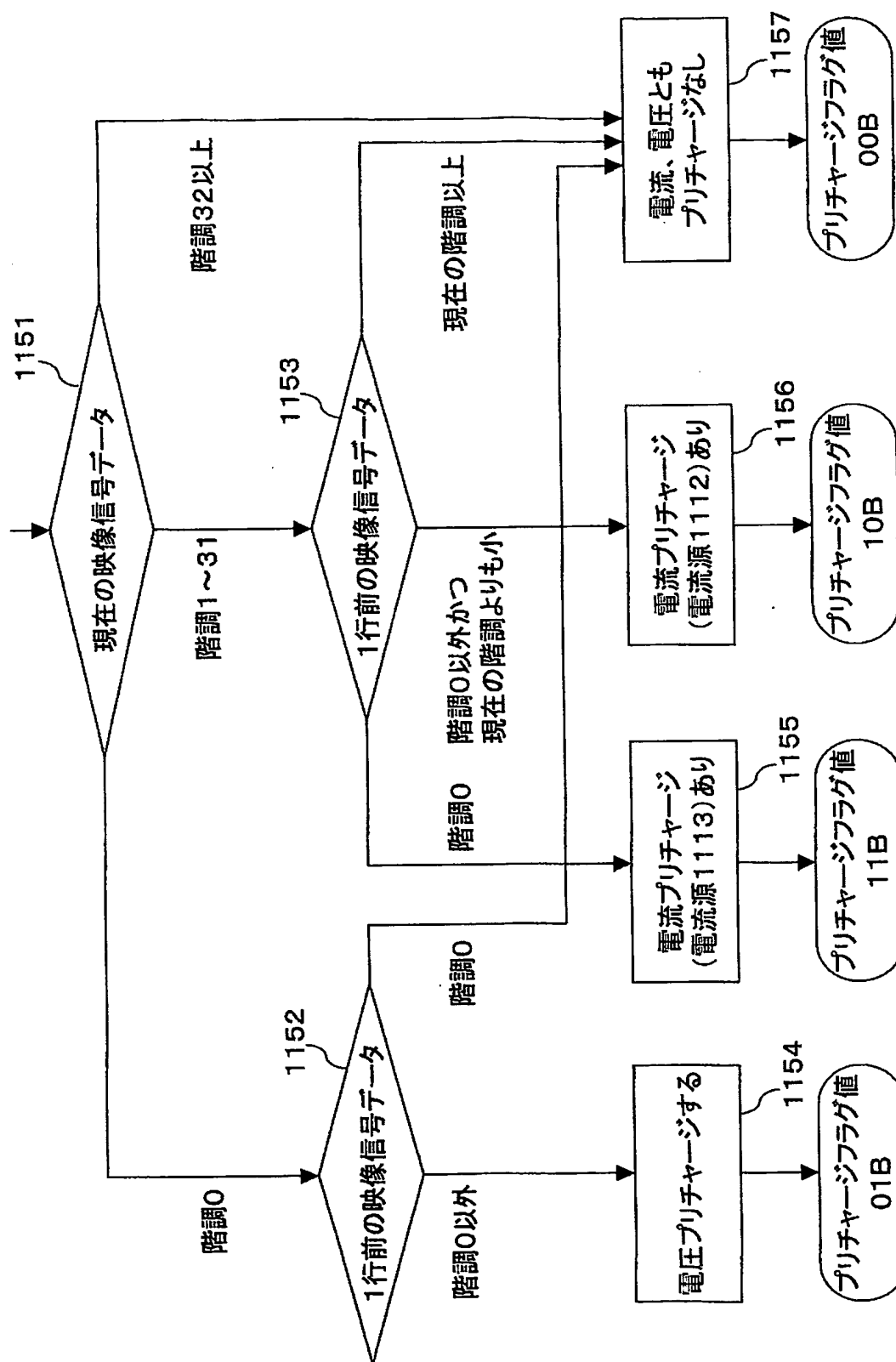


【図 114】

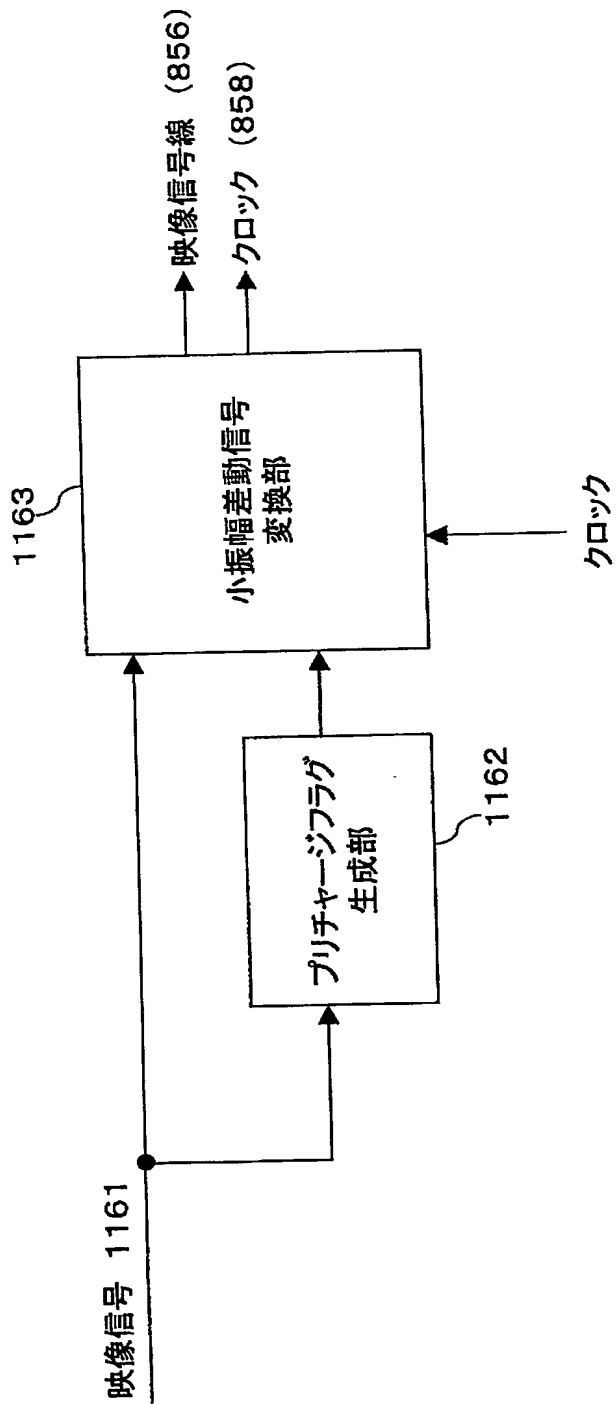
984		451	1098	1132	1133	1134	1135	状態
上位ビット	下位ビット							
0	0	X	X	OFF	OFF	ON	OFF	電流、電圧ともプリチャージなし
0	1	0	X	OFF	OFF	ON	OFF	電圧プリチャージ
		1	X	OFF	OFF	OFF	ON	
1	0	X	0	OFF	OFF	ON	OFF	電流プリチャージ(電流源1112)
		X	1	ON	OFF	OFF	OFF	
1	1	X	0	OFF	OFF	ON	OFF	電流プリチャージ(電流源1113)
		X	1	OFF	ON	OFF	OFF	

XはDon't care のことを示す

【図 115】



【図 116】



【書類名】要約書

【要約】

【課題】 電流出力型の半導体回路において出力電流が小さい場合ではソース信号線の浮遊容量の電荷の充放電が十分に行えず、水平走査期間内で電流が所定階調まで変化できない。また変化の速度は低階調になるにつれゆっくりとなる。

【解決手段】 階調 0 の時は電流が 0 であるため 0 階調となる電圧を出力することで、信号線 856 の電荷が $2 \sim 3 \mu$ 秒で充放電され 0 階調が表示可能となった。一方 1 行前の表示に比べ当該行の方が高階調となる場合には水平走査期間の開始から 10～40% の範囲で所定電流値よりも大きな電流を出力する期間を設けたことで変化がはやくなり所定階調が表示できるような電流出力型半導体回路を実現した。

【選択図】 図 109

特願 2 0 0 3 - 4 0 3 5 4 7

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 2 0 2 0 7]

1. 変更年月日

2 0 0 2 年 4 月 5 日

[変更理由]

新規登録

住 所

東京都港区港南 4 - 1 - 8

氏 名

東芝松下ディスプレイテクノロジー株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/017735

International filing date: 29 November 2004 (29.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-403547
Filing date: 02 December 2003 (02.12.2003)

Date of receipt at the International Bureau: 04 February 2005 (04.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.